

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-17651

(P 2003-17651 A)

(43) 公開日 平成15年1月17日 (2003. 1. 17)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)
H 0 1 L	25/04	H 0 1 L	25/04
	21/338		27/04
	21/822		29/80
	25/18		
	27/04		
審査請求	未請求	請求項の数 7	OL
			(全 2 6 頁)
			最終頁に続く

(21) 出願番号 特願2001-199712 (P2001-199712)

(22) 出願日 平成13年6月29日 (2001. 6. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小野 直子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 山口 恵一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

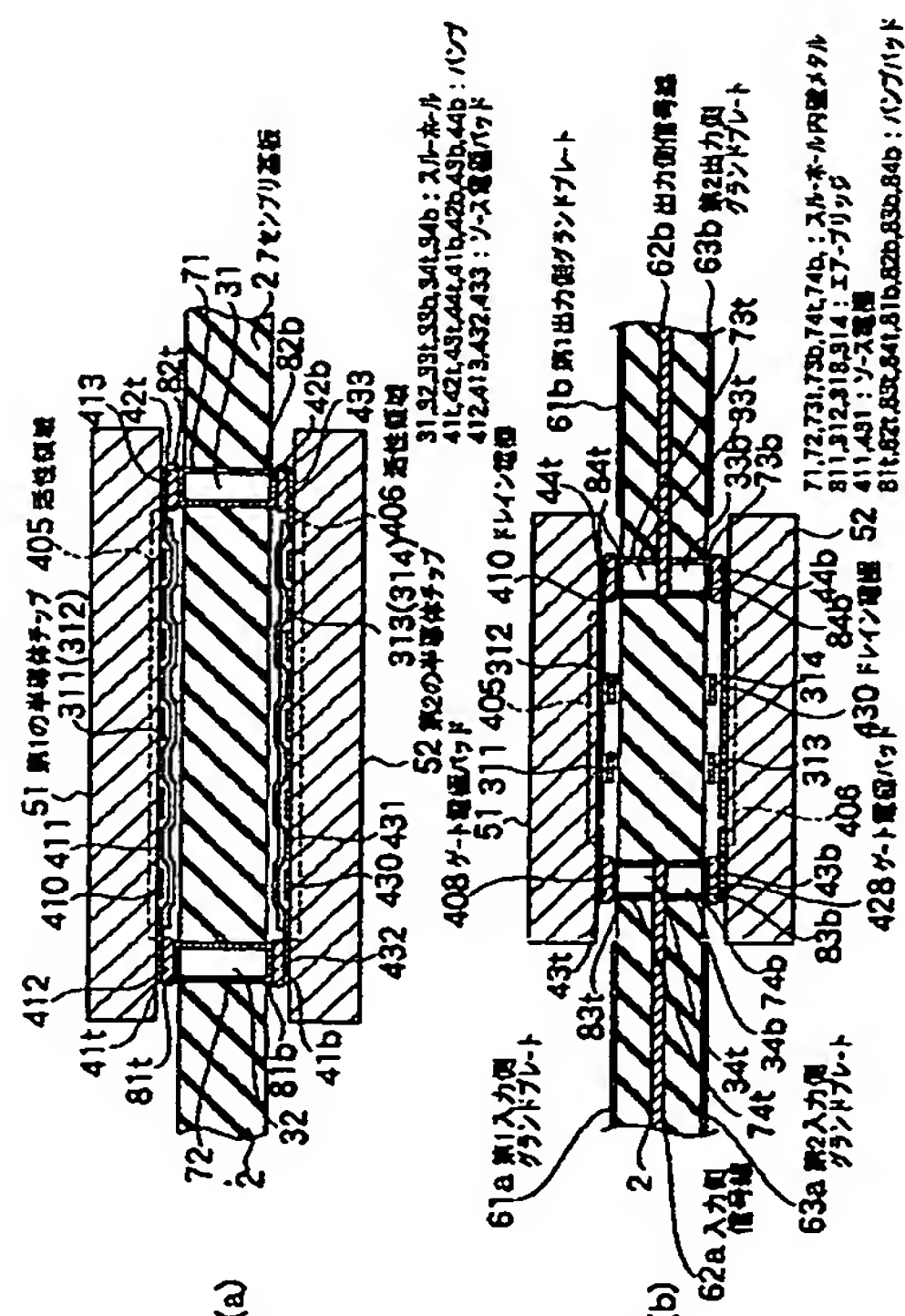
最終頁に続く

(54) 【発明の名称】 高周波半導体装置

(57) 【要約】

【課題】 能動素子内部での位相差が少なく、小形・高性能の電力用高周波半導体装置の提供する。

【解決手段】 入力側高周波伝送線路 (61a, 62a, 63a) 及び出力側高周波伝送線路 (61b, 62b, 63b) を有するアセンブリ基板2、アセンブリ基板2の第1の主表面側に搭載された第1の半導体チップ51、アセンブリ基板2の第2の主表面側に搭載された第2の半導体チップ52とを有する。半導体チップ51は、第1の入力電極 (ゲート電極パッド) 408 及び第1の出力電極 (ドレイン電極) 410 を有する半導体能動素子を備えている。半導体チップ52は、基準面に関して、第1の入力電極408 及び第1の出力電極410 と、それぞれ互いに鏡像関係となる第2の入力電極428 及び第2の出力電極430 を有する半導体能動素子を備えている。



## 【特許請求の範囲】

【請求項 1】 入力側高周波伝送線路及び出力側高周波伝送線路を具備し、第 1 の主表面及び該第 1 の主表面に平行な第 2 の主表面を備える平板状のアセンブリ基板と、

前記第 1 の主表面側に搭載され、第 1 の入力電極及び第 1 の出力電極を有する第 1 の半導体能動素子を備えた第 1 の半導体チップと、

前記第 2 の主表面側に搭載され、第 2 の入力電極及び第 2 の出力電極を有する第 2 の半導体能動素子を備えた第 2 の半導体チップと、

前記入力側高周波伝送線路と前記第 1 及び第 2 の入力電極とを電氣的に接続する入力側電氣的接続手段と、

前記出力側高周波伝送線路と前記第 1 及び第 2 の出力電極とを電氣的に接続する出力側電氣的接続手段とを少なくとも具備し、前記第 1 の主表面の垂直方向から投影して、前記第 1 及び第 2 の入力電極は互いに重なり合う領域を有し、更に、前記第 1 及び第 2 の出力電極は互いに重なり合う領域を有することを特徴とする高周波半導体装置。

【請求項 2】 前記第 1 及び第 2 の主表面との間の前記第 1 及び第 2 の主表面に平行な基準面に関して、前記第 1 の入力電極及び前記第 1 の出力電極は、それぞれ前記第 2 の入力電極及び第 2 の出力電極と互いに実質的な鏡像関係にあることを特徴とする請求項 1 記載の高周波半導体装置。

【請求項 3】 前記入力側電氣的接続手段は、前記アセンブリ基板を貫通する入力側貫通接続部、該入力側貫通接続部と前記第 1 の入力電極との接続経路に位置する第 1 入力側パンプ、及び該入力側貫通接続部と前記第 2 の入力電極との接続経路に位置する第 2 入力側パンプを具備し、前記出力側電氣的接続手段は、前記アセンブリ基板を貫通する出力側貫通接続部、該出力側貫通接続部と前記第 1 の出力電極との接続経路に位置する第 1 出力側パンプ、及び該出力側貫通接続部と前記第 2 の出力電極との接続経路に位置する第 2 出力側パンプを具備することを特徴とする請求項 1 又は 2 記載の高周波半導体装置。

【請求項 4】 前記第 1 の半導体チップの前記第 1 の入力電極及び前記第 1 の出力電極が形成された素子形成面が前記第 1 の主表面に対向し、前記第 2 の半導体チップの前記第 2 の入力電極及び前記第 2 の出力電極が形成された素子形成面が前記第 2 の主表面に対向した実装構造を有することを特徴とする請求項 1 ～ 3 のいずれか 1 項記載の高周波半導体装置。

【請求項 5】 前記入力側高周波伝送線路を構成する入力側信号線及び前記出力側高周波伝送線路を構成する出力側信号線が、前記アセンブリ基板の中心層に埋め込まれていることを特徴とする請求項 1 ～ 4 のいずれか 1 項記載の高周波半導体装置。

【請求項 6】 前記第 1 の半導体能動素子は、前記入力側高周波伝送線路から前記出力側高周波伝送線路に至る高周波信号の伝搬方向に平行な複数のストライプパターンを基礎とした第 1 の活性領域を有し、前記第 2 の半導体能動素子は、前記基準面に関して、前記第 1 の活性領域と互いに実質的な鏡像関係となる幾何学的構造を有する第 2 の活性領域を有することを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の高周波半導体装置。

【請求項 7】 前記第 1 の半導体チップの素子形成面において、前記第 1 の入力電極に高周波伝送線路の一部となるチップ側入力配線が、前記第 1 の出力電極に高周波伝送線路の一部となるチップ側出力配線が接続され、前記第 2 の半導体チップの素子形成面において、前記第 2 の入力電極に高周波伝送線路の一部となるチップ側入力配線が、前記第 2 の出力電極に高周波伝送線路の一部となるチップ側出力配線が接続されていることを特徴とする請求項 1 ～ 6 のいずれか 1 項記載の高周波半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マイクロ波帯・ミリ波帯において動作可能な高出力ハイブリッド集積回路（HIC）等の高周波・高出力半導体装置に関する。

【0002】

【従来の技術】 近年の情報通信分野における急速な需要の伸びにより、通信回線数を増やすことが急務となってきた。このため、従来あまり使用されていなかったマイクロ波・ミリ波帯を使用するシステムの実用化が急ピッチで進められている。

【0003】 高周波帯無線通信器の RF 部は一般的に発振器、シンセサイザ、変調器、電力増幅器、低雑音増幅器、復調器、アンテナで構成されている。通信器には、電気特性が優れていること、小形であることが望まれる。

【0004】 このうち電力増幅器は、大電力を出力する目的の回路であるため、使用半導体能動素子のゲート幅を長くする必要がある。

【0005】 従来の電力増幅器用半導体能動素子のレイアウトを図 16 に示す。ゲート幅 2mm、フィンガー数 20 本、フィンガー長 100μm、隣接フィンガーのピッチ 20μm の電力用半導体能動素子である。図 16 に示す従来構造の半導体装置では、半導体能動素子の総フィンガー数  $N_T$  が 4 の整数倍の場合には、半導体能動素子中心部のフィンガーにより生成される信号と半導体能動素子端のフィンガーにより生成される信号間の位相差の原因を作る入力信号側の物理的距離  $l_i$  及び出力信号側の物理的距離  $l_o$  は次の式で与えられていた。

【0006】

$$l_i = (N_T/2 - 1) \times p \quad \cdots \cdots (1)$$

$$l_o = (N_T/4 - 1) \times (p \times 2) \quad \cdots \cdots (2)$$



ここで、 $p$ は、フィンガーピッチである。又、本明細書で、「フィンガー数」とはゲートフィンガー本数のことを指す。なお、従来の電力増幅器用半導体能動素子において、総フィンガー数 $N_T$ が $N_T = 4m - 2$  ( $m$ は整数)の場合、即ち $N_T = 2, 6, 10, 14, \dots$ の場合には、トランジスタ中心部のフィンガーにより生成される信号とトランジスタ端のフィンガーにより生成される信号間の位相差の原因を作る出力信号側の物理的距離 $l_0$ は、次式で与えられる。

【0007】

$$l_0 = ((N_T / 2) - 1) \times p \quad \dots\dots (3)$$

【0008】

【発明が解決しようとする課題】図16に示す電力用半導体能動素子の場合、半導体能動素子端のフィンガーと半導体能動素子中心部のフィンガーとの距離は $180\mu m$ である。動作周波数が高くなり、この $180\mu m$ の距離が問題になってくる周波数領域では、半導体能動素子中心部のフィンガーにより生成される出力信号と半導体能動素子端のフィンガーにより生成される出力信号間に位相差が生じるため、半導体能動素子全体での出力電圧が低くなるという問題があった。

【0009】加えて、半導体能動素子の場合、ゲート幅が広く、総フィンガー数 $N_T$ が多いもの程、同一半導体能動素子内の位置の差による特性のバラツキが問題であった。

【0010】又、大電力用のゲート幅が広く、総フィンガー数 $N_T$ が多い半導体能動素子の場合、発熱量が大きいため、放熱が困難であるという問題があった。

【0011】本発明は上記事情を考慮してなされたもので、その目的とするところは、半導体能動素子内部での位相差が少なく特性が均一である構造を持つ、小形、高性能で、放熱が良く、大出力電力を得られる半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、入力側高周波伝送線路及び出力側高周波伝送線路を有するアセンブリ基板、アセンブリ基板の第1の主表面側に搭載された第1の半導体チップ、アセンブリ基板の第2の主表面側に搭載された第2の半導体チップとを少なくとも有する3次元実装構造の高周波半導体装置であることを要旨とする。アセンブリ基板は、第1の主表面及びこの第1の主表面に平行な第2の主表面を備える平板状の基板である。第1の半導体チップは、第1の入力電極及び第1の出力電極を有する第1の半導体能動素子を備えている。一方、第2の半導体チップは、第2の半導体能動素子を備えている。更に、入力側高周波伝送線路と第1及び第2の入力電極とを電気的に接続する入力側電気的接続手段、及び出力側高周波伝送線路と第1及び第2の出力電極とを電気的に接続する出力側電気的接続手段を有する。更に本発明の特徴に

係る高周波半導体装置は、アセンブリ基板の第1の主表面の垂直方向から投影して、第1及び第2の入力電極は互いに重なり合う領域を有し、更に、第1及び第2の出力電極は互いに重なり合う領域を有することを要旨とする。ここで、第1及び第2の「半導体能動素子」としては、高電子移動度トランジスタ (HEMT)、ヘテロ接合・バイポーラトランジスタ (HBT) 等のバイポーラトランジスタ (BJT)、ショットキー・ゲート型FET (MESFET) や静電誘導トランジスタ (SIT) 等の種々の高周波用半導体素子を用いることが可能である。又、半導体能動素子の「入力電極」とはエミッタ接地のBJTではベース電極及びソース接地のHEMT、MESFET、SITではゲート電極が該当することは勿論である。又、半導体能動素子の「出力電極」とは、エミッタ接地のBJTではコレクタ電極、ソース接地のHEMT、MESFET、SITにおいてはドレイン電極が該当する。好ましくは、第1及び第2の主表面との間の第1及び第2の主表面に平行な基準面に関して、第1の入力電極及び第1の出力電極は、それぞれ第2の入力電極及び第2の出力電極と互いに実質的な鏡像関係にあるように構成すれば良い。「実質的な鏡像関係」とは、入／出力電極の幾何学的形状や相対的位置が、互いに多少異なっても良いという意味である。即ち、互いの高周波の位相の差が、高周波動作に影響を与えない範囲内であれば、幾何学形状の僅かな差違や相対位置の僅かなずれは、第1及び第2の入力電極との関係、若しくは、第1及び第2の出力電極との関係において、ある程度まで許容出来るという意味である。

【0013】本発明の特徴において、入力側高周波伝送線路及び出力側高周波伝送線路には、ストリップ線路、マイクロストリップ線路 (MSL)、コプラナ・ウェーブガイド (Coplanar Waveguide以下において「CPW」と略記する。) 等が使用可能である。入力側電気的接続手段は、アセンブリ基板を貫通する入力側貫通接続部、この入力側貫通接続部と第1の入力電極との接続経路に位置する第1入力側パンプ、及びこの入力側貫通接続部と第2の入力電極との接続経路に位置する第2入力側パンプを具備するように構成出来る。「入力側貫通接続部」とは、アセンブリ基板を貫通するスルーホールとこのスルーホールの内壁に形成されたスルーホール内壁メタル、若しくはスルーホールの内部に埋め込まれたプラグ金属等の構成で電気的に接続する接続部を意味する。入力側貫通接続部と第1及び第2入力側パンプとの相対関係は、種々のトポロジーが採用可能である。例えば、入力側貫通接続部の中心軸上に、第1及び第2入力側パンプが位置しても良く、入力側貫通接続部の中心軸上からずれた位置に第1及び第2入力側パンプが配置されるようにしても良い。一方、出力側電気的接続手段は、アセンブリ基板を貫通する出力側貫通接続部、この出力側貫通接続部と第1の出力電極との接続経路に位置する第

1 出力側バンブ、及びこの出力側貫通接続部と第2の出力電極との接続経路に位置する第2出力側バンブを具備するように構成出来る。「出力側貫通接続部」は、入力側貫通接続部と同様に、アセンブリ基板を貫通するスルーホールとこのスルーホールの内壁に形成されたスルーホール内壁メタル、若しくはスルーホールの内部に埋め込まれたプラグ金属等の構成で電氣的に接続する接続部の意味である。この様にして、第1の半導体チップと第2の半導体チップとは、間にアセンブリ基板を挟む形で、バンブ接続でアセンブリ基板の第1及び第2主表面に接続される。出力側貫通接続部と第1及び第2出力側バンブとの相対関係は、種々のトポロジーが採用可能である。

【0014】本発明の高周波半導体装置において、例えば、第1又は第2の半導体チップの素子形成面に搭載される第1又は第2半導体能動素子の総フィンガー数 $N_T$ が4の整数倍の場合を考える。マイクロ波帯・ミリ波帯等の高周波では、第1又は第2半導体能動素子の中心部のフィンガーにより生成される信号と第1又は第2半導体能動素子の端のフィンガーにより生成される信号間に位相差の原因を作る物理的距離が問題となる。即ち、信号間の位相差の原因を作る入力信号側の物理的距離 $l_1$ 及び出力信号側の物理的距離 $l_o$ は、第1又は第2の半導体チップに搭載された第1又は第2半導体能動素子の総フィンガー数 $N_H = N_T / 2$ を用いて、次式で与えられる：

$$l_1 = (N_H / 2 - 1) \times p \quad \dots\dots (4)$$

$$l_o = (N_H / 4 - 1) \times (p \times 2) \quad \dots\dots (5)$$

又、本発明の高周波半導体装置において、第1又は第2半導体能動素子の総フィンガー数 $N_H$ が $N_H = 4m - 2$  ( $m$ は整数) 場合、即ち $N_H = 2, 6, 10, 14, \dots$ の場合には、トランジスタ中心部のフィンガーにより生成される信号とトランジスタ端のフィンガーにより生成される信号間の位相差の原因を作る出力信号側の物理的距離 $l_o$ は、次式で与えられる：

$$l_o = (N_H / 2 - 1) \times p \quad \dots\dots (6)$$

(4)式を前述の(1)式と比較し、(5)式を(或いは(6)式を) 前述の(2)式(或いは(3)式を)と比較すれば、第1又は第2半導体能動素子のフィンガー数の合計である総フィンガー数 $N_T = 2N_H$ の関係を用いることにより、本発明の高周波半導体装置は、従来のものに比べ、第1又は第2半導体能動素子の内部の出力信号間に位相差を約半分に低減することが分かる。即ち、第1又は第2半導体能動素子内部での位相差を少なく出来るので、高周波特性を均一に出来る。このため、小形、高性能で、放熱が良く、大出力電力を得られる高周波半導体装置が提供出来る。

【0015】本発明の3次元実装構造は、フリップチップ実装構造(フェイスダウン構造)及びノーマルチップ実装構造(フェイスアップ構造)のいずれでも構わな

い。例えば、フリップチップ実装構造では、第1の半導体チップの第1の入力電極及び第1の出力電極が形成された素子形成面がアセンブリ基板の第1の主表面に対向し、第2の半導体チップの第2の入力電極及び第2の出力電極が形成された素子形成面がアセンブリ基板の第2の主表面に対向した実装構造となる。この場合、第1の半導体能動素子の電極用バンブと第2の半導体能動素子電極用バンブとが、アセンブリ基板を挟む形で対向した位置にあり、加えて両者のバンブに挟まれるアセンブリ基板の位置にスルーホールを配置すれば良い。

【0016】入力側高周波伝送線路及び出力側高周波伝送線路には、ストリップ線路、マイクロストリップ線路(MSL)、コプラナ・ウェーブガイド(Coplanar Waveguide)以下において「CPW」と略記する。)等が使用可能である。ストリップ線路の場合では、入力側高周波伝送線路を構成する入力側信号線及び出力側高周波伝送線路を構成する出力側信号線が、アセンブリ基板の中心層に埋め込まれていることが好ましい。入力側信号配線に対向して、アセンブリ基板の第1の主表面に第1入力側グランドプレート、アセンブリ基板の第2の主表面に第2入力側グランドプレートを配置すれば、ストリップライン構造が実現する。同様に、出力側信号配線に対向して、アセンブリ基板の第1の主表面に第1出力側グランドプレート、アセンブリ基板の第2の主表面に第2出力側グランドプレートを配置すればストリップライン構造が実現出来る。

【0017】本発明の特徴において、第1の半導体能動素子は、入力側高周波伝送線路から出力側高周波伝送線路に至る高周波信号の伝搬方向に平行な複数のストライプパターンを基礎とした第1の活性領域を有し、第2の半導体能動素子は、基準面に関して、第1の活性領域と互いに実質的な鏡像関係となる幾何学的構造を有する第2の活性領域を有することが好ましい。「実質的な鏡像関係」とは、互いの高周波の位相の差が、高周波動作に影響を与えない範囲内であれば、若干幾何学形状の差違や相対位置のずれがあってもかまわないという意味である。

【0018】更に、本発明の特徴において、第1の半導体チップの素子形成面において、第1の入力電極に高周波伝送線路の一部となるチップ側入力配線が、第1の出力電極に高周波伝送線路の一部となるチップ側出力配線が接続され、第2の半導体チップの素子形成面において、第2の入力電極に高周波伝送線路の一部となるチップ側入力配線が、第2の出力電極に高周波伝送線路の一部となるチップ側出力配線が接続されていることが好ましい。

【0019】

【発明の実施の形態】次に、図面を参照して、半導体能動素子としては、HEMTを例に、本発明の第1～第6の実施の形態を説明する。以下の図面の記載において、



同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0020】（第1の実施の形態）図1及び図2に示すように、本発明の第1の実施の形態に係る高周波半導体装置は、入力側高周波伝送線路（61a, 62a, 63a）及び出力側高周波伝送線路（61b, 62b, 63b）を有する多層構造のアセンブリ基板2、多層構造のアセンブリ基板2の第1の主表面側に搭載された第1の半導体チップ51、多層構造のアセンブリ基板2の第2の主表面側に搭載された第2の半導体チップ52とを少なくとも有する3次元実装構造を有する。

【0021】多層構造のアセンブリ基板2は、互いに対向した第1及び第2の主表面を備える平板状の基板である。多層構造のアセンブリ基板2の中心層には、一定の線幅を有するストライプ形状の入力側信号配線62a及び出力側信号配線62bが埋め込まれている。入力側信号配線62a及び出力側信号配線62bは、アセンブリ基板2がアルミナ（ $Al_2O_3$ ）、窒化アルミニウム（ $AlN$ ）等のセラミックの場合タングステン（W）を用いれば良い。又、アセンブリ基板2が低温焼成基板（LTC C: Low Temperature Co-fired Cermics）の場合は銅

（Cu）を用いることが好ましい。そして、入力側信号配線62aに対向して、多層構造のアセンブリ基板2の第1の主表面に第1入力側グランドプレート61a、アセンブリ基板2の第2の主表面に第2入力側グランドプレート63aが配置されストリップライン構造を実現している。一方、出力側信号配線62bに対向して、アセンブリ基板2の第1の主表面に第1出力側グランドプレート61b、アセンブリ基板2の第2の主表面に第2出力側グランドプレート63bが配置されストリップライン構造を実現している。多層構造のアセンブリ基板2には、スルーホール31, 32, 33t, 33b, 34t, 34bが形成されている。スルーホール31, 32, 33t, 33b, 34t, 34bには、それぞれ、スルーホール内壁メタル71, 72, 73t, 73b, 74t, 74bが形成されている。スルーホール内壁メタル71の上端にはバンプパッド82tが、スルーホール内壁メタル71の下端にはバンプパッド82bが接続されている。同様に、スルーホール内壁メタル72の上端にはバンプパッド81tが、スルーホール内壁メタル72の下端にはバンプパッド81bが接続されている。又、スルーホール内壁メタル73tの上端にはバンプパッド84tが、スルーホール内壁メタル73tの下端には出力側信号配線62bが接続され、スルーホール内壁メタル74tの上端にはバンプパッド83tが、スルー

ホール内壁メタル74tの下端には入力側信号配線62aが接続されている。更に、スルーホール内壁メタル73bの下端にはバンプパッド84bが、スルーホール内壁メタル73bの上端には出力側信号配線62bが接続され、スルーホール内壁メタル74bの下端にはバンプパッド83bが、スルーホール内壁メタル74bの上端には入力側信号配線62aが接続されている。

【0022】第1の半導体チップ51は、第1の入力電極（ゲート電極パッド）408及び第1の出力電極（ドレイン電極）410を有する第1の半導体能動素子を備えている。第1の半導体チップ51には、櫛型構造を持つゲート電極（ゲートフィンガー部）409とゲート電極409を集合するゲート電極パッド408が形成されている。図1の平面図には、総フィンガー数 $N_{11}=10$ 本のゲートフィンガーが示されている。更に、櫛型構造を持つゲート電極409と対向して、櫛型構造のドレイン電極410が配置されている。ドレイン電極410の櫛の5本の歯（フィンガー部）の部分を挟むようにゲート電極409が配置され、ゲート電極409を挟んで更に、4本のストライプ状のソース電極411が配置されている。即ち、櫛型構造のドレイン電極410と複数（4本）のストライプ状のソース電極411とは、インターデジタル（交叉指状）に配置され、それぞれの、ドレイン電極410とソース電極411との間に細線のゲート電極409が配置されている。ドレイン電極410、ソース電極411、及びゲート電極409は、活性領域405の内部に配置されている。複数（4本）のストライプ状のソース電極411のそれぞれは、互いにエアブリッジ311, 312により接続され、エアブリッジ311, 312は、平面パターン上、活性領域405の外部に位置するソース電極パッド412, 413に接続されている。ソース電極パッド412, 413のゲート電極409に対向する部分（活性領域405の内部に位置する部分）はストライプ状のソース電極411と同一の機能をなすので、実質的には活性領域405の内部には、6本のソース電極が存在するのと等価である。ゲート電極パッド408と同様に、ドレイン電極410の5本の歯（フィンガー部）を集合する部分（ドレイン電極集合部）も活性領域405の外部に位置する。ゲート電極パッド408、ドレイン電極集合部、及びソース電極パッド412, 413のそれぞれの上部には、半田ボール等のバンプ43t, 44t, 41t, 42tが配置されている。

【0023】一方、平面図の図示を省略しているが、第2の半導体チップ52は、第2の半導体能動素子を備えている。この第2の半導体能動素子は、第1及び第2の主表面との間の第1及び第2の主表面に平行な基準面に関して、第1の半導体能動素子の第1の入力電極（ゲート電極パッド）408及び第1の出力電極（ドレイン電極）410と、それぞれ互いに実質的な鏡像関係となる

第2の入力電極（ゲート電極パッド）428及び第2の出力電極（ドレイン電極）430を有する。図2（b）には、アセンブリ基板2の第1の主表面の垂直方向から投影して、第1の入力電極（ゲート電極パッド）408及び第2の入力電極（ゲート電極パッド）428は互いに重なり合う領域を有し、更に、第1の出力電極（ドレイン電極）410及び第2の出力電極（ドレイン電極）430は互いに重なり合う領域を有することが示されている。即ち、第2の半導体チップ52には、図1と同様な櫛型構造を持つゲート電極（ゲートフィンガー部）とゲート電極を集合するゲート電極パッド428が第1の半導体チップ51と実質的な鏡像関係のトポロジーで形成されている。更に、櫛型構造を持つゲート電極と対向して、櫛型構造のドレイン電極430が配置されている。ドレイン電極430の櫛の5本のフィンガーの部分を含め、ゲート電極が配置され、ゲート電極を含んで更に、4本のストライプ状のソース電極431が配置されている。即ち、櫛型構造のドレイン電極430と4本のストライプ状のソース電極431とは、インターデジタルに配置され、それぞれの、ドレイン電極430とソース電極431との間にゲートフィンガー部が配置されている。ドレイン電極430、ソース電極431、及びゲートフィンガー部は、活性領域406の内部に配置されている。4本のストライプ状のソース電極431のそれぞれは、互いにエアブリッジ313、314により接続され、エアブリッジ313、314は、平面パターン上、活性領域406の外部に位置するソース電極パッド432、433に接続されている。ソース電極パッド432、433のゲートフィンガー部に対向する部分（活性領域406の内部に位置する部分）はストライプ状のソース電極431と同一の機能をなすので、実質的には活性領域406の内部には、6本のソース電極が存在するのと等価である。ゲート電極パッド428と同様に、ドレイン電極430の5本のフィンガー部を集合するドレイン電極集合部も活性領域406の外部に位置する。ゲート電極パッド428、ドレイン電極集合部、及びソース電極パッド432、433のそれぞれの上部には、バンパ43b、44b、41b、42bが配置されている。

【0024】そして、第1の半導体チップ51に搭載されたHEMTのパターンと及び第2の半導体チップ52に搭載されたHEMTのパターンとは、多層構造のアセンブリ基板2の内部の第1及び第2の主表面に平行な基準面に関して、互いに実質的な鏡像関係になっている。例えば、図2（a）に示すように、第1の半導体チップ51に搭載されたHEMTのソース電極パッド412、413と第2の半導体チップ52に搭載されたHEMTのソース電極パッド432、433とは互いに鏡像関係になっている。このため、アセンブリ基板2の第1の主表面の垂直方向から投影して、ソース電極パッド41

2、413とソース電極パッド432、433とは互いに重なり合う領域を有している。

【0025】本発明の第1の実施形態に係る3次元実装構造は、フリップチップ実装構造（フェイスダウン構造）である。このフリップチップ実装構造は、第1の半導体チップ51の第1の入力電極（ゲート電極パッド）408及び第1の出力電極（ドレイン電極）410が形成された素子形成面が多層構造のアセンブリ基板2の第1の主表面に対向し、第2の半導体チップ52の第2の入力電極（ゲート電極パッド）428及び第2の出力電極（ドレイン電極）430が形成された素子形成面がアセンブリ基板2の第2の主表面に対向した実装構造となっている。更に、この3次元実装構造は、第1の半導体素子は、入力側高周波伝送線路（61a、62a、63a）から出力側高周波伝送線路（61b、62b、63b）に至る高周波信号の伝搬方向に平行な複数のストライプパターンを基礎とした第1の活性領域405を有し、第2の半導体素子は、基準面に関して、第1の活性領域405と互いに鏡像関係となる幾何学的構造を有する第2の活性領域406を有する。

【0026】この様な実質的な鏡像関係のトポロジーを基礎として、第1の実施形態に係る3次元実装構造は、入力側高周波伝送線路（61a、62a、63a）と第1及び第2の入力電極（ゲート電極パッド）428とを電気的に接続する入力側電気的接続手段（43t、83t、74t、34t、34b、74b、83b、43b）、及び出力側高周波伝送線路（61b、62b、63b）と第1及び第2の出力電極（ドレイン電極）430とを電気的に接続する出力側電気的接続手段（44t、84t、73t、33t、33b、73b、84b、44b）を有する。入力側電気的接続手段（43t、83t、74t、34t、34b、74b、83b、43b）は、アセンブリ基板2を貫通する入力側貫通接続部（74t、34t、34b、74b）、この入力側貫通接続部（74t、34t、34b、74b）と第1の入力電極（ゲート電極パッド）408との接続経路に位置する第1入力側バンパ43t、バンパパッド83t、及びこの入力側貫通接続部（74t、34t、34b、74b）と第2の入力電極（ゲート電極パッド）428との接続経路に位置するバンパパッド83b、第2入力側バンパ43bを具備する。入力側貫通接続部は、アセンブリ基板2を貫通するスルーホール（34t、34b）とこのスルーホールの内壁に形成されたスルーホール内壁メタル（74t、74b）とから構成されている。つまり、図2（b）に示すように、第1の半導体チップ51に搭載されたHEMTの第1のゲート電極パッド408と第2の半導体チップ52に搭載されたHEMTの第2のゲート電極パッド428とは互いに鏡像関係になっているが、第1のゲート電極パッド408は、第1入力側バンパ43tを介してバンパパッド83



tに接続され、第2のゲート電極パッド448は、第2入力側バンク43bを介してバンクパッド83bに接続されるので、結局、スルーホール内壁メタル74t、74bにより、ゲート電極パッド408及び448は、共に入力側信号線62aに電氣的に接続される。なお、スルーホール内壁メタル(74t、74b)の代わりに、スルーホール(34t、34b)の内部に埋め込まれたプラグ金属等の構成で電氣的に接続して、入力側貫通接続部を構成しても良い。

【0027】一方、出力側電氣的接続手段(44t、84t、73t、33t、33b、73b、84b、44b)は、アセンブリ基板2を貫通する出力側貫通接続部(73t、33t、33b、73b)、この出力側貫通接続部と第1の出力電極(ドレイン電極)410との接続経路に位置する第1出力側バンク44t、バンクパッド84t、及びこの出力側貫通接続部と第2の出力電極(ドレイン電極)430との接続経路に位置するバンクパッド84b、第2出力側バンク44bを具備する。出力側貫通接続部は、入力側貫通接続部と同様に、アセンブリ基板2を貫通するスルーホール(33t、33b)とこのスルーホールの内壁に形成されたスルーホール内壁メタル(73t、73b)とから構成されている。つまり、図2(b)に示すように、第1の半導体チップ51に搭載されたHEMTの第1のドレイン電極410と第2の半導体チップ52に搭載されたHEMTの第2のドレイン電極430とは互いに鏡像関係になっているが、第1のドレイン電極410は、第1出力側バンク44tを介してバンクパッド84tに接続され、第2のドレイン電極430は、第2出力側バンク44bを介してバンクパッド84bに接続されるので、結局、スルーホール内壁メタル73t、73bにより、ドレイン電極410及び430は、共に出力側信号線62bに電氣的に接続される。なお、スルーホール(33t、33b)の内部に埋め込まれたプラグ金属等の構成で電氣的に接続して出力側貫通接続部を構成しても良い。更に、ソース電極パッド412は、バンク41tを介してバンクパッド81tに接続され、ソース電極パッド432は、バンク41bを介してバンクパッド81bに接続されるので、結局、スルーホール内壁メタル72により、ソース電極パッド412及び432は互いに電氣的に接続される。同様に、ソース電極パッド413は、バンク42tを介してバンクパッド82tに接続され、ソース電極パッド433は、バンク42bを介してバンクパッド82bに接続されるので、結局、スルーホール内壁メタル71により、ソース電極パッド413及び433は互いに電氣的に接続される。

【0028】図1に示す第1の実施形態に用いる第1又は第2半導体能動素子の総フィンガー数 $N_{\text{H}}=10$ 本であるから、 $N_{\text{H}}=4m-2$  ( $m=3$ )の場合となるので、上述の(4)式及び(6)式が使用出来る。即ち、

(4)式から信号間の位相差の原因を作る入力信号側の物理的距離 $l_{\text{I}}=(10/2)-1 \times p=4p$ 、

(6)式から、信号間の位相差の原因を作る出力信号側の物理的距離 $l_{\text{O}}=(10/2)-1 \times p=4p$ で与えられる。これに対して、従来の高周波半導体装置では、HEMTの総フィンガー数 $N_{\text{T}}=2N_{\text{H}}$ の関係から $N_{\text{T}}=20$ 本(4の倍数)で、同一の総フィンガー数になり、冒頭で述べた(1)式及び(2)式が使用出来る。即ち、(1)式から信号間の位相差の原因を作る入力信号側の物理的距離 $l_{\text{I}}=(20/2)-1 \times p=9p$ 、(2)式から、信号間の位相差の原因を作る出力信号側の物理的距離 $l_{\text{O}}=(20/4)-1 \times 2p=8p$ で与えられる。つまり、第1の実施の形態に係る高周波半導体装置では、HEMT内部での位相差が、約半分になり、且つ小形・高性能の高周波半導体装置が可能になる。つまり、第1の半導体チップ51と第2の半導体チップ52とに分割することにより、HEMTの総フィンガー数 $N_{\text{T}}=2N_{\text{H}}$ を大きな一定に維持しつつ、従来のものに比べ、HEMT内部の出力信号間に位相差を約

半分に低減することが出来る。

【0029】図3は、本発明の第1の実施の形態の変形例(第1の変形例)に係る高周波半導体装置の図2

(a)に対応する断面図である。本発明の第1の実施の形態の第1の変形例に係る高周波半導体装置は、第1の半導体チップ51に半田等の熱伝導性接着剤3tを介して放熱板4tが接着され、第2の半導体チップ52に熱伝導性接着剤3bを介して放熱板4bが接着され、更に放熱特性を改善したものである。熱伝導性接着剤3t、3bとしてはシリコングリース等の熱伝導性グリースを用いることも可能である。放熱板4t、4bとしてはフィン構造のアルミニウム(Al)、銅(Cu)等の高熱伝導率の金属や熱伝導性シートが使用出来る。放熱板4t、4bをされに水冷しても良い。第1の半導体チップ51及び第2の半導体チップ52をそれぞれ第1及び第2の主表面にフリップチップ構造で搭載するアセンブリ基板2等、他の構造は図1及び図2の説明と重複するので省略する。

【0030】図17は、本発明の第1の実施の形態の変形例(第2の変形例)に係る高周波半導体装置の図2に対応する断面図である。本発明の第1の実施の形態の第2の変形例に係る高周波半導体装置は、第1の半導体チップ51とアセンブリ基板2との間、及び第2の半導体チップ52とアセンブリ基板2との間に、それぞれ封止用樹脂701t、701bを挿入した点が、図2と異なる。封止用樹脂701t、701bは、活性領域405、406を避けて、活性領域405、406を囲むように形成されている。図17に示すように、第1の半導体チップ51とアセンブリ基板2との間、及び第2の半導体チップ52とアセンブリ基板2との間をそれぞれ封止用樹脂701t、701bで封止することにより、第

1の半導体チップ51とアセンブリ基板2との接続信頼性、及び第2の半導体チップ52とアセンブリ基板2との接続信頼性が向上する。更に、第1の半導体チップ51及び第2の半導体チップ52の特性が、大気中の水分等の影響で劣化するのを防止出来、実装信頼性が向上する。しかも、図17に示す構造は、封止用樹脂701t、701bが、活性領域405、406を避けて配置されているので、封止用樹脂701t、701bによる誘電損失に起因した高周波特性の低下を回避出来る。

【0031】但し、誘電損失に起因した高周波特性の低下を問題しない場合は、図18に示す第1の実施の形態の第3の変形例に係る高周波半導体装置のように、活性領域405、406の部分を含めて、第1の半導体チップ51とアセンブリ基板2との間、及び第2の半導体チップ52とアセンブリ基板2との間に、それぞれ封止用樹脂702t、702bで完全に密閉しても良い。図18に示す第3の変形例に係る高周波半導体装置は、封止工程が簡易になる利点に加え、接続信頼性や実装信頼性が図17に示す第2の変形例よりも、更に向上する。

【0032】図17及び図18に示す構造に用いる封止用樹脂701t、701b、702t、702bとしては、異方性導電フィルム(ACF)、非導電性フィルム(NCF)、異方性導電ペースト(ACP)、非導電性ペースト(NCP)、或いはアセンブリ後入れ封止樹脂等が採用可能である。

【0033】本発明の第1の実施の形態に係る高周波半導体装置の入力側貫通接続部(74t、34t、34b、74b)と第1入力側バンプ43t及び第2入力側バンプ43bとの相対関係は、種々のトポロジーが採用可能である。例えば、図1及び図2に示すように入力側貫通接続部(74t、34t、34b、74b)の中心軸上に、第1入力側バンプ43t及び第2入力側バンプ43bが位置しても良いが、図19及び図20の第4の変形例に係る高周波半導体装置に示すように、入力側貫通接続部(74t、34t、34b、74b)の中心軸上からずれた位置に第1入力側バンプ43t及び第2入力側バンプ43bが配置されるようにしても良い。出力側貫通接続部(73t、33t、33b、73b)と第1出力側バンプ44t及び第2出力側バンプ44bとの相対関係は、種々のトポロジーが採用可能で、図19及び図20においては、出力側貫通接続部(73t、33t、33b、73b)の中心軸上からずれた位置に第1出力側バンプ44t及び第2出力側バンプ44bが配置されている。第1の実施の形態の第4の変形例に係る高周波半導体装置においては、図19の平面図、図20の断面図から明らかなように、第1入力側バンプ43tの位置と比較して、活性領域405からより離れた位置にスルーホール34tの位置が存在する。又、第1出力側バンプ44tの位置と比較して、活性領域405からより離れた位置にスルーホール33tの位置が存在する。

逆に、バンプ42tの位置と比較して、活性領域405により近い位置にスルーホール31の位置が、バンプ41tの位置と比較して、活性領域405により近い位置にスルーホール32の位置が存在する。図19に対応する平面図は省略しているが、図20からは、第2入力側バンプ43bの位置と比較して、活性領域406からより離れた位置にスルーホール34bの位置が存在することが分かる。又、第2出力側バンプ44bの位置と比較して、活性領域406からより離れた位置にスルーホール33bの位置が存在し、バンプ42bの位置と比較して、活性領域406により近い位置にスルーホール31の位置が、バンプ41bの位置と比較して、活性領域406により近い位置にスルーホール32の位置が存在する。

【0034】アセンブリ基板2の表面のスルーホール31、32、33t、33b、34t、34bの位置に凹凸がある場合、この凹凸が原因となり、バンプパッド81t、82t、83t、84t、81b、82b、83b、84bの平坦性が低下する。この場合は、バンプ43t、44t、41t、42t、43b、44b、41b、42bとアセンブリ基板2との接着強度が弱まる可能性がある。しかし、図19及び図20に示すような、バンプ43t、44t、41t、42t、43b、44b、41b、42bに近接し、且つ重ならない位置にスルーホール31、32、33t、33b、34t、34bを配置したトポロジーによれば、アセンブリ基板2の表面の、バンプパッド81t、82t、83t、84t、81b、82b、83b、84bが平坦に出来る。このため、バンプ43t、44t、41t、42t、43b、44b、41b、42bとアセンブリ基板2との接着強度を向上させることが可能になる。

【0035】更に、第5の変形例として、図21の平面図、図22の断面図に示すような構造でも良い。第5の変形例では、第4の変形例と同様に、第1入力側バンプ43tの位置と比較して、活性領域405からより離れた位置にスルーホール34tの位置が、第1出力側バンプ44tの位置と比較して、活性領域405からより離れた位置にスルーホール33tの位置が存在する。しかし、第4の変形例と同様とは異なり、バンプ42tの位置と比較して、活性領域405からより離れた位置にスルーホール31の位置が、バンプ41tの位置と比較して、活性領域405からより離れた位置にスルーホール32の位置が存在する。図21に対応する平面図は省略しているが、図22からは、バンプ42bの位置と比較して、活性領域406からより離れた位置にスルーホール31の位置が、バンプ41bの位置と比較して、活性領域406により近い位置にスルーホール32の位置が存在する。図示を省略しているが、第2入力側バンプ43bの位置と比較して、活性領域406からより離れた位置にスルーホール34bの位置が存在し、第2出力側



バンプ44bの位置と比較して、活性領域406からより離れた位置にスルーホール33bの位置が存在することは図20(b)と同様である。

【0036】図21及び図22に示すようなトポロジーによれば、第4の変形例と同様に、アセンブリ基板2の表面の、バンプパッド81t、82t、83t、84t、81b、82b、83b、84bが平坦に出来る。このため、バンプ43t、44t、41t、42t、43b、44b、41b、42bとアセンブリ基板2との接着強度を向上させることが可能になる。

【0037】図4～図8は図1及び図2に示した本発明の第1の実施の形態に係る高周波半導体装置の製造方法を説明する断面図で、HEMTに用いられる積層構造ウエハを示したものである。

【0038】(a) まず、図4に示したように半絶縁性GaAs等の半導体基板(半導体ウエハ)21の上にn型バッファ層22、n型チャネル層23、n<sup>-</sup>型スペーサ層24、n型電子供給層25、n型ショットキーコンタクト層26、n<sup>+</sup>型オーミックコンタクト層27をMOCVD法、MBE法等により連続的に順次エピタキシャル成長する。n型チャネル層23は故意には不純物が添加されていない、いわゆる「アンドープ層」である。電子供給層25から電子が供給されて、n型チャネル層23に2次元電子ガスが形成される。

【0039】(b) 図示を省略しているが、エピタキシャル成長層22～27の図1及び図2に示す活性領域405、406の予定領域以外の部分を反応性イオンエッチング(RIE)により半導体基板21が露出するまでエッチングして素子分離溝を形成し、この素子分離溝内を素子分離絶縁膜で埋め込んで素子分離領域を形成する。素子分離領域で周囲を囲まれた範囲が活性領域405、406になる。なお、素子分離領域はプロトン照射により、エピタキシャル成長層22～27を高抵抗領域にして、形成しても良い。この後、フォトリソ膜をスピン・コーティングし、所定のマスクを用いて露光・現像することにより、n<sup>+</sup>型オーミックコンタクト層27の上部の所定の部分のみに複数のストライプ状の開口部を有するパターンを形成する。そして、このフォトリソ膜を下地に、Au-Ge/Ni/Au等の金属材料を蒸着する。その後、このフォトリソ膜を剥離する。即ち、いわゆるリフトオフ法により、図4のように、複数のソース領域予定領域に複数のソース電極411を、複数のドレイン領域予定領域に複数のドレイン電極410を、インターディジタルに形成する。

【0040】(c) 続いて、ゲート領域予定領域に開口を持つフォトリソ・パターンを形成し、このフォトリソ・パターンを用いてゲート領域のオーミックコンタクト層27をエッチングし、ショットキーコンタクト層26を露出させる。そして、フォトリソ膜をスピン・コーティングし、所定のマスクを用いて露光・現

像することにより、露出したショットキーコンタクト層26の上部の所定の部分のみに細線状の開口部を有するパターンを形成する。そして、このフォトリソ膜を下地に、Ti/Pt/Au等のゲート電極材料を蒸着する。その後、このフォトリソ膜を剥離するリフトオフ加工をして、図5に示すような断面形状がT型のゲート電極409を形成する。

【0041】(d) 次に、ソース電極411、ドレイン電極410、ゲート電極409の上部に低温CVD(LTCVD)で酸化膜(SiO<sub>2</sub>膜)28を堆積し、図6に示すように化学的機械研磨(CMP)で、表面を平坦化する。その後、酸化膜28の上に、フォトリソ膜をコーティングし、所定のマスクを用いて露光・現像することにより、ソース電極411の上部に開口部を有するフォトリソ膜のマスクを形成する。そして、このフォトリソ膜のマスクを用いて、ソース電極411の上部の酸化膜28をRIEで選択的に除去し、ソースコンタクトホールを開口する。ソースコンタクトホールを開口に用いたフォトリソ膜を除去後、更に新たなフォトリソ膜を酸化膜28の上に、コーティングし、所定のマスクを用いて露光・現像することにより、エアーブリッジ形成予定領域に開口部を有するパターンを形成する。そして、このフォトリソ膜を下地にして、Au等の金属材料を蒸着し、リフトオフ法により、図7に示すようにエアーブリッジ311(312)の配線パターンを形成する。

【0042】(e) その後、酸化膜28を緩衝フッ酸溶液等の酸化膜エッチング液で除去すれば、図8に示すように、第1の半導体チップ51エアーブリッジ311(312)の配線パターンが完成する。この後、所定のダイシングラインに沿って、半導体ウエハを切断すれば、同一工程で、第1の半導体チップ51と第2の半導体チップ52が用意される。

【0043】(f) この後、第2の半導体チップ52のゲート電極パッド428、ドレイン電極集合部、及びソース電極パッド432、433のそれぞれの上部には、バンプ43b、44b、41b、42bを配置する。そして、このバンプ43b、44b、41b、42bの位置とバンプパッド83b、84b、81b、82bとが一致するように多層構造のアセンブリ基板2を、第2の半導体チップ52の上に搭載する。更に、多層構造のアセンブリ基板2のバンプパッド83t、84t、81t、82tの上にそれぞれバンプ43t、44t、41t、42tを配置する。そして、このバンプ43t、44t、41t、42tと、第1の半導体チップ51のゲート電極パッド408、ドレイン電極集合部、及びソース電極パッド412、413のそれぞれの位置を合わせる。この後熱処理をし、第1の半導体チップ51と第2の半導体チップ52とを、それぞれのHEMTの電極部分を対向させ、間にアセンブリ基板2を挟む形で、バン

ブ接続すれば、図1及び図2に示す本発明の第1の実施の形態に係る高周波半導体装置が完成する。

【0044】（第2の実施の形態）本発明の第2の実施の形態に係る高周波半導体装置が、第1の実施の形態と異なる点は、図9に示すように、アセンブリ基板2に誘電体単層のものをを用いたことである。本発明の第2の実施の形態に係る高周波半導体装置に用いる第1の半導体チップ51の平面図は、第1の実施の形態で説明した図1と同一であるので、図示を省略する。図9(a)は、図1のA-A方向に沿った断面図で、図9(b)は、図1のB-B方向に沿った断面図である。

【0045】図9に示すように、本発明の第2の実施の形態に係る高周波半導体装置に用いる誘電体単層のアセンブリ基板2の第1の主表面には、一定の線幅を有するストライプ形状の入力側信号配線62a及び出力側信号配線62bが形成されている。そして、入力側信号配線62aに対向して、誘電体単層のアセンブリ基板2の第2の主表面に入力側グランドプレート64aが配置されマイクロストリップライン構造を実現している。一方、出力側信号配線62bに対向して、アセンブリ基板2の第2の主表面に出力側グランドプレート64bが配置されマイクロストリップライン構造を実現している。誘電体単層のアセンブリ基板2には、スルーホール31、32、33、34が形成されている。スルーホール31、32、33、34には、それぞれ、スルーホール内壁メタル71、72、73、74が形成されている。スルーホール内壁メタル71の上端にはバンプパッド82tが、スルーホール内壁メタル71の下端にはバンプパッド82bが接続されている。同様に、スルーホール内壁メタル72の上端にはバンプパッド81tが、スルーホール内壁メタル72の下端にはバンプパッド81bが接続されている。又、スルーホール内壁メタル73の上端には出力側信号線62bの端部（バンプパッド）が、スルーホール内壁メタル73の下端にはバンプパッド84bが接続され、スルーホール内壁メタル74の上端には入力側信号線62aの端部（バンプパッド）が、スルーホール内壁メタル74の下端にはバンプパッド83bが接続されている。

【0046】第1の半導体チップ51の第1の入力電極（ゲート電極パッド）408、第1の出力電極（ドレイン電極集合部）、及びソース電極パッド412、413のそれぞれの上部には、半田ボール等のバンプ43t、44t、41t、42tが配置されている。又、第2の半導体チップ52の第2の入力電極（ゲート電極パッド）428、第2の出力電極（ドレイン電極集合部）、及びソース電極パッド432、433のそれぞれの上部には、バンプ43b、44b、41b、42bが配置されている。

【0047】第1の実施の形態と同様に、第1の半導体チップ51に搭載されたHEMTのパターンと及び第2

の半導体チップ52に搭載されたHEMTのパターンとは、誘電体単層のアセンブリ基板2に関して互いに実質的な鏡像関係になっている。図9(a)に示すように、第1の半導体チップ51に搭載されたHEMTのソース電極パッド412、413と第2の半導体チップ52に搭載されたHEMTのソース電極パッド432、433とは互いに実質的な鏡像関係になっている。ソース電極パッド412は、バンプ41tを介してバンプパッド81tに接続され、ソース電極パッド432は、バンプ41bを介してバンプパッド81bに接続されるので、結局、スルーホール内壁メタル72により、ソース電極パッド412及び432は互いに電氣的に接続される。同様に、ソース電極パッド413は、バンプ42tを介してバンプパッド82tに接続され、ソース電極パッド433は、バンプ42bを介してバンプパッド82bに接続されるので、結局、スルーホール内壁メタル71により、ソース電極パッド413及び433は互いに電氣的に接続される。更に、図9(b)に示すように、第1の半導体チップ51に搭載されたHEMTの第1の入力電極（ゲート電極パッド）408及びドレイン電極410と第2の半導体チップ52に搭載されたHEMTのゲート電極パッド428及びドレイン電極430とは互いに鏡像関係になっている。第1の入力電極（ゲート電極パッド）408は、バンプ43tを介して入力側信号線62aに接続され、ゲート電極パッド448は、バンプ43b、バンプパッド83b、スルーホール内壁メタル74を介して入力側信号線62aに電氣的に接続される。同様に、ドレイン電極410は、バンプ44tを介して出力側信号線62bに接続され、ドレイン電極430は、バンプ44b、バンプパッド84b、スルーホール内壁メタル73を介して出力側信号線62bに電氣的に接続される。この様にして、第1の半導体チップ51と第2の半導体チップ52とは、それぞれのHEMTの電極部分を対向させ、間に誘電体単層のアセンブリ基板2を挟む形で、バンプ接続でアセンブリ基板2の第1及び第2主表面に接続されている。つまり、HEMT内部での位相差が少ない構造を持つ小形・高性能の高周波半導体装置が可能になる。つまり、第1の半導体チップ51と第2の半導体チップ52とに分割することにより、HEMTの総フィンガー数 $N_T = 2N_H$ を一定に維持し、総ゲート幅を大きくしても、従来のものに比べ、HEMT内部の出力信号間に位相差を約半分に低減することが出来る。

【0048】誘電体単層のアセンブリ基板2を用いることにより、第1の半導体チップ51及び第2の半導体チップ52の出力信号間には、新たにアセンブリ基板2のスルーホール31、32、33、34の高さ分の位相差が生じる。しかしながら、第1の実施の形態に用いた多層アセンブリ基板2に比べ、第2の実施の形態に係る誘電体単層のアセンブリ基板2は安価であるため、より安



価な高周波半導体装置を実現出来る。アセンブリ基板2のスルーホール31、32、33、34の高さによる位相差が気にならない周波数或いは出力電力を持つHEMTを使用した高周波半導体装置においては、第2の実施の形態に係る構造は有効である。

【0049】図示を省略しているが、本発明の第1の実施の形態の変形例に係る高周波半導体装置と同様に、第1の半導体チップ51に半田等の熱伝導性接着剤を介して放熱板が接着され、第2の半導体チップ52に熱伝導性接着剤を介して放熱板を接着して、更に放熱特性を改善することも可能である。

【0050】（第3の実施の形態）第3の実施の形態に係る高周波半導体装置が第1及び第2の実施の形態に係る高周波半導体装置と異なる点は、第1の半導体チップ53及び第2の半導体チップ54上にHEMTに加え信号線等の受動素子が形成されている点である。本実施の形態では、HEMTに接続される入力及び出力伝送線路用信号線が半導体チップ上に形成されている。アセンブリ基板2の半導体チップ実装時半導体チップ上伝送線路用信号線と対向する部分にこの信号線とペアになるグラ

ンド面を設けることにより、半導体チップとアセンブリ基板2を合わせて伝送線路が構成される構造を持つ。この様に、高周波半導体装置の形態として、第1の半導体チップ53及び第2の半導体チップ54HEMTとその電極のみが形成される構成の他、半導体チップに加え一部の受動素子等から作られた回路が形成される構成をとることも可能である。

【0051】図10及び図11に示すように、本発明の第3の実施の形態に係る高周波半導体装置は、半導体能動素子（HEMT）と受動素子とが形成された第1の半導体チップ53、同様に半導体能動素子（HEMT）と受動素子とが形成された第2の半導体チップ54と、この第1の半導体チップ53及び第2の半導体チップ54をそれぞれ第1及び第2の主表面にフリップチップ構造で搭載する多層構造のアセンブリ基板2とから構成されている。

【0052】第1の実施の形態と同様に、多層構造のアセンブリ基板2の中心層には、一定の線幅を有するストライプ形状の入力側信号配線65a及び出力側信号配線65bが埋め込まれている。そして、入力側信号配線65aに対向して、多層構造のアセンブリ基板2の第1の主表面に第1入力側グランドプレート66a、アセンブリ基板2の第2の主表面に第2入力側グランドプレート67aが配置されストリップライン構造を実現している。一方、出力側信号配線65bに対向して、アセンブリ基板2の第1の主表面に第1出力側グランドプレート66b、アセンブリ基板2の第2の主表面に第2出力側グランドプレート67bが配置されストリップライン構造を実現している。多層構造のアセンブリ基板2には、スルーホール35t、35b、36t、36bが形成さ

れている。スルーホール35t、35b、36t、36bには、それぞれ、スルーホール内壁メタル75t、75b、76t、76bが形成されている。スルーホール内壁メタル76tの上端にはバンプパッド84tが、スルーホール内壁メタル76tの下端には出力側信号配線65bが接続され、スルーホール内壁メタル75tの上端にはバンプパッド83tが、スルーホール内壁メタル75tの下端には入力側信号配線65aが接続されている。更に、スルーホール内壁メタル76bの下端にはバンプパッド84bが、スルーホール内壁メタル76bの上端には出力側信号配線65bが接続され、スルーホール内壁メタル75bの下端にはバンプパッド83bが、スルーホール内壁メタル75bの上端には入力側信号配線65aが接続されている。

【0053】図10に示すように、第1の半導体チップ53には、櫛型構造を持つゲート電極（ゲートフィンガー部）409とゲート電極409を集合する第1の入力電極（ゲート電極集合配線）448が形成されている。ゲート電極集合配線448には、マイクロストリップ線路の信号線となるチップ側入力配線13aが接続されている。チップ側入力配線13aの先端にはバンプパッド15が形成されている。図1の平面図には、総フィンガー数 $N_{II}=10$ 本のゲートフィンガーが示されている。更に、櫛型構造を持つゲート電極409と対向して、櫛型構造のドレイン電極410が配置されている。ゲート電極集合配線448と同様に、ドレイン電極410の5本の歯（フィンガー部）を集合する部分となる第1の出力電極（ドレイン電極集合部）には、マイクロストリップ線路の信号線となるチップ側出力配線13bが接続されている。チップ側出力配線13bの先端にはバンプパッド16が形成されている。ドレイン電極410の櫛の5本のフィンガー部を挟むようにゲート電極409が配置され、ゲート電極409を挟んで更に、4本のストライプ状のソース電極411が配置されている。即ち、櫛型構造のドレイン電極410の5本のフィンガー部と4本のストライプ状のソース電極411とは、インターデジタルに配置され、それぞれの、ドレイン電極410とソース電極411との間に細線のゲート電極409が配置されている。ドレイン電極410、ソース電極411、及びゲート電極409は、活性領域405の内部に配置されている。ストライプ状のソース電極411のそれぞれは、互いにエアーブリッジ311、312により接続され、エアーブリッジ311、312は、平面パターン上、活性領域405の外部に位置するソース電極パッド412、413に接続されている。ソース電極パッド412、413のゲート電極409に対向する部分（活性領域405の内部に位置する部分）はストライプ状のソース電極411と同一の機能をなすので、実質的には活性領域405の内部には、6本のソース電極が存在するのと等価である。ゲート電極集合配線448、ド

レイン電極集合部、チップ側入力配線 13 a、チップ側出力配線 13 b 等は、活性領域 405 の外部に位置する。チップ側入力配線 13 a の先端のバンプパッド 15、チップ側出力配線 13 b の先端にはバンプパッド 16、及びソース電極パッド 412、413 のそれぞれの上部には、バンプ 43 t、44 t、41 t、42 t が配置されている。

【0054】平面図の図示を省略しているが、第2の半導体チップ 54 には、図 10 と同様なチップ側入力配線 14 a、チップ側出力配線 14 b、及びこれらに接続される第2の入力電極（ゲート電極集合配線）449、第2の出力電極（ドレイン電極集合部）を有する櫛型構造の HEMT が配置されている。櫛型構造のドレイン電極 430 と複数のストライプ状のソース電極とは、インターデジタルに配置され、それぞれの、ドレイン電極 430 とソース電極との間にゲートフィンガー部が配置されている。ドレイン電極 430、ソース電極、及びゲートフィンガー部は、活性領域 406 の内部に配置されている。4本のストライプ状のソース電極のそれぞれは、互いにエアブリッジ 313、314 により接続され、エアブリッジ 313、314 は、平面パターン上、活性領域 406 の外部に位置する一組のソース電極パッド 432、435 に接続されている。チップ側入力配線 14 a の先端のバンプパッド、チップ側出力配線 14 b の先端のバンプパッド、及び一組のソース電極パッドのそれぞれの上部には、バンプ 43 b、44 b、41 b（図示省略）、42 b（図示省略）が配置されている。

【0055】第1の実施の形態と同様に、第1の半導体チップ 53 に搭載された HEMT のパターンと及び第2の半導体チップ 54 に搭載された HEMT のパターンとは、多層構造のアセンブリ基板 2 に関して互いに実質的な鏡像関係になっている。例えば、図 11 に示すように、第1の半導体チップ 53 に搭載された HEMT のゲート電極集合配線 448 及びドレイン電極 410 と第2の半導体チップ 54 に搭載された HEMT のゲート電極パッド 428 及びドレイン電極 430 とは互いに実質的な鏡像関係になっている。ゲート電極集合配線 448 は、バンプ 43 t を介してバンプパッド 83 t に接続され、ゲート電極パッド 448 は、バンプ 43 b を介してバンプパッド 83 b に接続されるので、結局、スルーホール内壁メタル 75 t、75 b により、ゲート電極集合配線 448 及び 448 は、共に入力側信号線 65 a に電氣的に接続される。同様に、ドレイン電極 410 は、バンプ 44 t を介してバンプパッド 84 t に接続され、ドレイン電極 430 は、バンプ 44 b を介してバンプパッド 84 b に接続されるので、結局、スルーホール内壁メタル 76 t、76 b により、ドレイン電極 410 及び 435 は、共に出力側信号線 65 b に電氣的に接続される。この様にして、第1の半導体チップ 53 と第2の半導体チップ 54 とは、それぞれの HEMT の電極部分を

対向させ、間に多層構造のアセンブリ基板 2 を挟む形で、バンプ接続でアセンブリ基板 2 の第1及び第2主表面に接続されている。つまり、HEMT 内部での位相差が少ない構造を持つ小形・高性能の高周波半導体装置が可能になる。この様に、第1の半導体チップ 53 と第2の半導体チップ 54 とに分割することにより、HEMT の総フィンガー数  $N_T = 2N_H$  を一定に維持し、総ゲート幅を大きくしても、従来のものに比べ、HEMT 内部の出力信号間に位相差を約半分に低減することが出来る。

【0056】更に、本発明の第3の実施の形態の変形例に係る高周波半導体装置は、図 3 と同様に、第1の半導体チップ 53 に半田等の熱伝導性接着剤を介して放熱板を接着し、第2の半導体チップ 54 に熱伝導性接着剤を介して放熱板を接着し、放熱特性を改善することが好ましい。

【0057】（第4の実施の形態）本発明の第1～第3の実施の形態においては、フリップチップ実装の構造（フェイスダウン構造）について説明したが、本発明はフリップチップ実装の構造に限定されるものではない。図 12 及び図 13 に示すように、本発明の第4の実施の形態に係る高周波半導体装置は、少なくとも半導体能動素子（HEMT）が形成された第1の半導体チップ 55、第2の半導体チップ 56 と、この第1の半導体チップ 55 及び第2の半導体チップ 56 をそれぞれ、ノーマルチップ構造（フェイスアップ構造）で第1及び第2の主表面に搭載する多層構造のアセンブリ基板 2 とから構成されている。多層構造のアセンブリ基板 2 の構造は、本発明の第1の実施の形態の説明の通りであるので、重複した説明を省略する。

【0058】図 12 に示すように、第1の半導体チップ 55 の活性領域 405 の外部には、第1の半導体チップ 55 を貫通する4つのバイアホール 11 t、12 t、13 t、14 t が形成されている。バイアホール 11 t は、ゲート電極（ゲートフィンガー部）409 を集合する第1の入力電極（ゲート電極パッド）408 の下部に形成されている。バイアホール 12 t は、ドレイン電極 410 のフィンガー部を集合する第1の出力電極（ドレイン電極集合部）の下部に形成されている。更に、バイアホール 13 t、14 t は、それぞれソース電極パッド 413、412 の下部に形成されている。図 13 の断面図に示すように、バイアホール 11 t、12 t の内部にはバイア内壁メタル 91 t、92 t が形成されている。又、ゲート電極パッド 408、ドレイン電極（ドレイン電極集合部）410 にそれぞれ対向するバイアホール 11 t、12 t の端部には、チップ裏面バンプパッド 93 t、94 t が形成されている。図 13 の断面図には表現されていないが、バイアホール 13 t、14 t の内部及びチップ裏面の構造も同様である。第1の半導体チップ 55 の他の構造は、第1の実施の形態の説明と重複するのでその説明を省略する。



【0059】平面図の図示を省略しているが、図13に示すように、第2の半導体チップ56も同様に、活性領域406の外部の位置に、第2の半導体チップ56を貫通する4つのバイアホール11b、12b、13b（図示省略）、14b（図示省略）が形成されている。図13の断面図に示すように、バイアホール11b、12bの内部にはバイア内壁メタル91b、92bが形成されている。又、第2の入力電極（ゲート電極パッド）428、第2の出力電極（ドレイン電極集合部）430にそれぞれ対向するバイアホール11b、12bの端部には、チップ裏面バンパッド93b、94bが形成されている。図13の断面図には表現されていないが、バイアホール13b、14bの内部及びチップ裏面の構造も同様である。第2の半導体チップ56の他の構造は、第1の実施の形態の第2の半導体チップ52と同様である。

【0060】ノーマルチップ実装である点で異なるものの、第1の実施の形態と同様に、第1の半導体チップ55に搭載されたHEMTのパターンと及び第2の半導体チップ56に搭載されたHEMTのパターンとは、多層構造のアセンブリ基板2に関して互いに実質的な鏡像関係になっている。例えば、図13に示すように、第1の半導体チップ55に搭載されたHEMTのゲート電極パッド408及びドレイン電極410と第2の半導体チップ56に搭載されたHEMTのゲート電極パッド428及びドレイン電極430とは互いに実質的な鏡像関係になっている。ゲート電極パッド408は、バイアホール11t及びバンパ43tを介してバンパパッド83tに接続され、ゲート電極パッド448は、バイアホール11b及びバンパ43bを介してバンパパッド83bに接続されるので、結局、スルーホール内壁メタル74t、74bにより、ゲート電極パッド408及び448は、共に入力側信号線62aに電氣的に接続される。同様に、ドレイン電極410は、バイアホール12t及びバンパ44tを介してバンパパッド84tに接続され、ドレイン電極430は、バイアホール12b及びバンパ44bを介してバンパパッド84bに接続されるので、結局、スルーホール内壁メタル73t、73bにより、ドレイン電極410及び430は、共に出力側信号線62bに電氣的に接続される。この様にして、第1の半導体チップ55と第2の半導体チップ56とは、それぞれのHEMTの電極部分を対向させ、間に多層構造のアセンブリ基板2を挟む形で、半導体チップを貫通するバイアホールを介したバンパ接続でアセンブリ基板2の第1及び第2主表面に接続されている。つまり、HEMT内部での位相差が少ない構造を持つ小形・高性能の高周波半導体装置が可能になる。つまり、第1の半導体チップ55と第2の半導体チップ56とに分割することにより、HEMTの総フィンガー数 $N_T = 2N_H$ を一定に維持し、総ゲート幅を大きくしても、従来のものに比べ、HEMT

T内部の出力信号間に位相差を約半分に低減することが出来る。

【0061】（第5の実施の形態）本発明の第5の実施の形態は、本発明の第1の実施の形態に係るフリップチップ実装の構造（フェイスダウン構造）と本発明の第4の実施の形態に係るノーマルチップ構造（フェイスアップ構造）とを組み合わせた構造に対応する。この組み合わせ構造により、4枚の半導体チップ551、552、553、554を積層し、更にHEMTの総フィンガー数を増大（ $N_T = 4N_H$ ）させた構造により、高周波出力を増大させるものである。

【0062】図14に示すように、本発明の第5の実施の形態に係る高周波半導体装置は、ノーマルチップ配置の第1の半導体チップ551、フリップチップ配置の第2の半導体チップ552、フリップチップ配置の第3の半導体チップ553、ノーマルチップ配置の第4の半導体チップ554と、この4枚の半導体チップ551、552、553、554をそれぞれ、2枚ずつ第1及び第2の主表面に搭載する多層構造のアセンブリ基板2とから構成されている。多層構造のアセンブリ基板2の構造は、本発明の第1の実施の形態の説明の通りであるので、重複した説明を省略する。アセンブリ基板2の第1の主表面側には、ノーマルチップ配置の第1の半導体チップ551とフリップチップ配置の第2の半導体チップ552とが積層され、アセンブリ基板2の第2の主表面側には、フリップチップ配置の第3の半導体チップ553とノーマルチップ配置の第4の半導体チップ554とが積層されている。

【0063】図14に示すように、第1の半導体チップ551の破線で示す活性領域の外部となる位置に、第1の半導体チップ551を貫通するバイアホール511a、512aが形成されている。バイアホール511aは、ゲート電極（ゲートフィンガー部）を集合するゲート電極パッド408aの下部に形成されている。バイアホール512aは、ドレイン電極410aのフィンガー部を集合するドレイン電極集合部の下部に形成されている。図14の断面図に示すように、バイアホール511a、512aの内部にはバイア内壁メタル591a、592aが形成されている。又、ゲート電極パッド408a、ドレイン電極（ドレイン電極集合部）410aにそれぞれ対向するバイアホール511a、512aの端部には、チップ裏面バンパッド581a、582aが形成されている。図14の断面図には表現されていない他のバイアホールの内部及びチップ裏面の構造も同様である。第1の半導体チップ551の他の構造は、第4の実施の形態の第1の半導体チップ55の説明と重複するのでその説明を省略する。

【0064】第2の半導体チップ552の破線で示す活性領域の外部となる位置に、第2の半導体チップ552を貫通するバイアホール511b、512bが形成され

ている。バイアホール511bは、ゲート電極（ゲートフィンガー部）を集合するゲート電極パッド408bの下部に形成されている。バイアホール512bは、ドレイン電極410bのフィンガー部を集合するドレイン電極集合部の下部に形成されている。図14の断面図に示すように、バイアホール511b、512bの内部にはバイア内壁メタル591b、592bが形成されている。又、ゲート電極パッド408b、ドレイン電極（ドレイン電極集合部）410bにそれぞれ対向するバイアホール511b、512bの端部には、チップ裏面バンプパッド581b、582bが形成されている。チップ裏面バンプパッド581b、582bは、それぞれバンプ541a、542aを介して第1の半導体チップ551のチップ裏面バンプパッド581a、582aに電氣的に接続されている。図14の断面図には表現されていない他のバイアホールの内部及びチップ裏面の構造、及び第1の半導体チップのチップ裏面バンプパッドとの接続関係も同様である。第2の半導体チップ552の他の構造は、第1の実施の形態の第1の半導体チップ51の説明と重複するのでその説明を省略する。

【0065】第3の半導体チップ553の破線で示す活性領域の外部となる位置に、第3の半導体チップ553を貫通するバイアホール513a、514aが形成されている。バイアホール513aは、ゲート電極（ゲートフィンガー部）を集合するゲート電極パッド428aの上部に形成されている。バイアホール514aは、ドレイン電極430aのフィンガー部を集合するドレイン電極集合部の上部に形成されている。図14の断面図に示すように、バイアホール513a、514aの内部にはバイア内壁メタル593a、594aが形成されている。又、ゲート電極パッド428a、ドレイン電極（ドレイン電極集合部）430aにそれぞれ対向するバイアホール513a、514aの端部には、チップ裏面バンプパッド583a、584aが形成されている。図14の断面図には表現されていない他のバイアホールの内部及びチップ裏面の構造も同様である。第3の半導体チップ553の他の構造は、第1の実施の形態の第2の半導体チップ52の説明と重複するのでその説明を省略する。

【0066】第4の半導体チップ554の破線で示す活性領域の外部となる位置に、第4の半導体チップ554を貫通するバイアホール513b、514bが形成されている。バイアホール513bは、ゲート電極（ゲートフィンガー部）を集合するゲート電極パッド428bの上部に形成されている。バイアホール514bは、ドレイン電極430bのフィンガー部を集合するドレイン電極集合部の上部に形成されている。図14の断面図に示すように、バイアホール513b、514bの内部にはバイア内壁メタル593b、594bが形成されている。又、ゲート電極パッド428b、ドレイン電極（ド

レイン電極集合部）430bにそれぞれ対向するバイアホール513b、514bの端部には、チップ裏面バンプパッド583c、584cが形成されている。チップ裏面バンプパッド583c、584cは、それぞれバンプ543b、544bを介して第3の半導体チップ553のチップ裏面バンプパッド583b、584bに電氣的に接続されている。図14の断面図には表現されていない他のバイアホールの内部及びチップ裏面の構造、及び第3の半導体チップのチップ裏面バンプパッドとの接続関係も同様である。第4の半導体チップ554の他の構造は、第4の実施の形態の第2の半導体チップ56の説明と重複するのでその説明を省略する。

【0067】第1の半導体チップ551に搭載されたHEMTのゲート電極パッド408a及びドレイン電極410aと第4の半導体チップ554に搭載されたHEMTのゲート電極パッド428b及びドレイン電極430bとは互いに実質的な鏡像関係になっている。又、第2の半導体チップ552に搭載されたHEMTのゲート電極パッド408b及びドレイン電極410bと第3の半導体チップ553に搭載されたHEMTのゲート電極パッド428a及びドレイン電極430aとは互いに実質的な鏡像関係になっている。

【0068】第1の半導体チップ551のゲート電極パッド408aは、バイアホール511a、バンプパッド581a、バンプ541a、バンプパッド581b、バイアホール511b、ゲート電極パッド408b、バンプ541b、バンプパッド581c、及びスルーホール内壁メタル74aを介して入力側信号線62aに電氣的に接続される。第4の半導体チップ554のゲート電極パッド428bは、バイアホール513b、バンプパッド583c、バンプ543b、バンプパッド583b、バイアホール513a、ゲート電極パッド428a、バンプ543a、バンプパッド583a、及びスルーホール内壁メタル74bを介して入力側信号線62aに電氣的に接続される。

【0069】同様に、第1の半導体チップ551のドレイン電極410aは、バイアホール512a、バンプパッド582a、バンプ542a、バンプパッド582b、バイアホール512b、ドレイン電極410b、バンプ542b、バンプパッド582c、及びスルーホール内壁メタル73aを介して出力側信号線62bに電氣的に接続される。第4の半導体チップ554のドレイン電極430bは、バイアホール514b、バンプパッド584c、バンプ544b、バンプパッド584b、バイアホール514a、ドレイン電極430a、バンプ544a、バンプパッド584a、及びスルーホール内壁メタル73ab介して出力側信号線62bに電氣的に接続される。

【0070】この様にして、第1の半導体チップ551と第2の半導体チップ552とからなる第1の積層構造



と、第3の半導体チップ553と第4の半導体チップ554とからなる第2の積層構造とを、それぞれ多層構造のアセンブリ基板2を挟んで、アセンブリ基板2の第1及び第2主表面に接続される。つまり、第1の半導体チップ551、第2の半導体チップ552、第3の半導体チップ553及び第4の半導体チップ554との4枚に分割することにより、入/出力信号間における位相差を増大することなく、HEMTの総フィンガー数を増大し( $N_T = 4N_H$ )をし、高周波で高出力を実現出来る。

【0071】(第6の実施の形態)既に述べた第1～第5の実施の形態の説明においては、実質的な鏡像関係を実現するように、アセンブリ基板2の第1及び第2の主表面に互いに対称となる関係で、複数(2の倍数)の半導体チップが配置された構造を示した。しかし、総フィンガー数が大きな出力段の高周波・高出力の半導体チップが、互いに対称に配置されていれば良いのであって、より一般には、すべての半導体チップが、アセンブリ基板2の第1及び第2の主表面に、対称に配置されている必要はない。例えば、図15に示すように、アセンブリ基板2の第1の主表面に5枚の半導体チップが実装され、アセンブリ基板2の第2の主表面に2枚の半導体チップが実装された非対称の実装構造でも構わない。図15においては、多層構造のアセンブリ基板2の第1の主表面側に、IFチップ101、ミキサチップ102、バッファチップ103、第1の初段中出力電力増幅器チップ104t、及び第1の最終段高出力電力増幅器チップ105tが搭載されている。一方、アセンブリ基板2の第2の主表面側には、第1の初段中出力電力増幅器チップ104t及び第1の最終段高出力電力増幅器チップ105tと、それぞれ実質的な鏡像関係となるように、第2の初段中出力電力増幅器チップ104b及び第2の最終段高出力電力増幅器チップ105bが搭載されている。多層構造のアセンブリ基板2の中心層には、一定の線幅を有する信号線161、162、163、164、165、166が埋め込まれている。図示を省略しているが、信号線161、162、163、164、165、166とでストリップ線路を構成すべく、多層構造のアセンブリ基板2の第1及び第2の主表面には、それぞれグランドプレートが配置されている。IFチップ101の入力側は、バンプ141とスルーホール131を介して信号線161に接続され、出力側は、バンプ142とスルーホール132を介して信号線162に接続されている。ミキサチップ102の入力側は、バンプ143とスルーホール133を介して信号線162に接続され、出力側は、バンプ144とスルーホール134を介して信号線163に接続されている。バッファチップ103の入力側は、バンプ145とスルーホール135を介して信号線163に接続され、出力側は、バンプ146とスルーホール136を介して信号線164に接続されている。

【0072】第1の初段中出力電力増幅器チップ104tの入力側は、バンプ147tとスルーホール137tを介して信号線164に接続され、出力側は、バンプ148tとスルーホール138tを介して信号線165に接続されている。第1の最終段高出力電力増幅器チップ105tの入力側は、バンプ149tとスルーホール139tを介して信号線165に接続され、出力側は、バンプ150tとスルーホール140tを介して信号線166に接続されている。第2の初段中出力電力増幅器チップ104bの入力側は、バンプ147tと実質的な鏡像関係の位置にあるバンプ147bとスルーホール137bを介して信号線164に接続され、出力側は、バンプ148tと実質的な鏡像関係の位置にあるバンプ148bとスルーホール138bを介して信号線165に接続されている。第2の最終段高出力電力増幅器チップ105bの入力側は、バンプ149tと実質的な鏡像関係の位置にあるバンプ149bとスルーホール139bを介して信号線165に接続され、出力側は、バンプ150tと実質的な鏡像関係の位置にあるバンプ150bとスルーホール140bを介して信号線166に接続されている。

【0073】この様にして、高出力が要求される第1の初段中出力電力増幅器チップ104tと第2の初段中出力電力増幅器チップ104bとは、それぞれのHEMTの電極部分を対向させ、間に多層構造のアセンブリ基板2を挟んで互いにバンプ接続され、単一の能動素子として動作可能である。又、高出力が要求される第1の最終段高出力電力増幅器チップ105tと第2の最終段高出力電力増幅器チップ105bとは、それぞれのHEMTの電極部分を対向させ、間に多層構造のアセンブリ基板2を挟んで互いにバンプ接続され、単一の能動素子として動作可能である。つまり、HEMT内部での位相差が少ない構造を維持しつつ、HEMTの総フィンガー数を増大し( $N_T = 2N_H$ )、従来のものに比べ、HEMTの全体としての出力を増大出来る。一方、IFチップ101、ミキサチップ102、バッファチップ103は小信号用の半導体チップであり、フィンガー数を多くする必要はないので、アセンブリ基板2の第1の主表面側のみ配置されている。図15に示す構造で、軽量・コンパクトで高周波・高出力の高周波帯無線通信器を実現出来る。

【0074】(その他の実施の形態)上記のように、本発明は第1～第6の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0075】既に述べた第1～第5の実施の形態の説明においては、HEMTを用いた高周波半導体装置について述べてきたが、本発明はこの他、MESFET、HB

T、S I T等の他の半導体能動素子に対しても適用可能である。又、ソース電極等の第1の主電極、ドレイン電極等の第2の主電極、ゲート電極等の制御電極のすべてが半導体チップの同一主表面に位置する横型構造の半導体能動素子だけでなく、第1及び第2の主電極のそれぞれが、互いに対向する第1及び第2の主表面に位置する縦型構造の半導体能動素子に対しても適用可能である。縦型構造の半導体能動素子の場合は、エアーブリッジ構造は、必ずしも必要ではない。

【0076】又、物理的距離に起因する位相差が問題になる受動素子のみで構成される高周波回路装置、或いは、物理的距離に起因する位相差が問題になる半導体チップを用いないで構成される高周波回路装置にも適用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施出来る。この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0077】

【発明の効果】以上詳述したように本発明の高周波半導体装置によれば、半導体能動素子内部での位相差を少なく高周波特性を2次元平面で均一に維持しつつ、高出力動作が可能な高周波半導体装置を提供することが可能になる。

【0078】本発明の高周波半導体装置によれば、放熱特性が良く、小型で、高出力動作が可能な高周波半導体装置を提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの上面から見た平面図である。

【図2】本発明の第1の実施の形態に係る高周波半導体装置の実装状態を示す図で、図2(a)は、図1のA-A方向に沿った断面図、図2(b)はB-B方向に沿った断面図である。

【図3】本発明の第1の実施の形態の変形例(第2の変形例)に係る高周波半導体装置で、図1のA-A方向に沿った断面図に対応する。

【図4】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの製造工程を示す工程断面図である(その1)。

【図5】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの製造工程を示す工程断面図である(その2)。

【図6】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの製造工程を示す工程断面図である(その3)。

【図7】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの製造工程を示す工程断面

図である(その4)。

【図8】本発明の第1の実施の形態に係る高周波半導体装置に実装する半導体チップの製造工程を示す工程断面図である(その5)。

【図9】本発明の第2の実施の形態に係る高周波半導体装置の実装状態を示す図で、図9(a)は、図1のA-A方向に沿った断面図に対応し、図9(b)はB-B方向に沿った断面図に対応する。

【図10】本発明の第3の実施の形態に係る高周波半導体装置に実装する半導体チップの上面から見た平面図である。

【図11】図10のB-B方向に沿って見た本発明の第3の実施の形態に係る高周波半導体装置の断面図である。

【図12】本発明の第4の実施の形態に係る高周波半導体装置に実装する半導体チップの上面から見た平面図である。

【図13】図12のB-B方向に沿って見た本発明の第4の実施の形態に係る高周波半導体装置の断面図である。

【図14】図12のB-B方向に沿って見た断面図に対応する、本発明の第5の実施の形態に係る高周波半導体装置の断面図である。

【図15】高周波信号の伝搬方向に沿った本発明の第6の実施の形態に係る高周波半導体装置の断面図である。

【図16】従来の高周波半導体装置に実装する半導体チップ(電力増幅器用HEMT)のレイアウトを示す平面図である。

【図17】本発明の第1の実施の形態の変形例(第2の変形例)に係る高周波半導体装置の図2に対応する断面図である。

【図18】本発明の第1の実施の形態の変形例(第3の変形例)に係る高周波半導体装置の図2に対応する断面図である。

【図19】本発明の第1の実施の形態の変形例(第4の変形例)に係る高周波半導体装置に実装する半導体チップの上面から見た平面図である。

【図20】図20(a)は、図19のA-A方向に沿った断面図、図20(b)はB-B方向に沿った断面図である。

【図21】本発明の第1の実施の形態の変形例(第5の変形例)に係る高周波半導体装置に実装する半導体チップの上面から見た平面図である。

【図22】図21のA-A方向に沿った断面図である。図21のB-B方向に沿った断面図は、図20(b)と同様であるので省略する。

【符号の説明】

2 アセンブリ基板

3 t, 3 b 熱伝導性接着剤

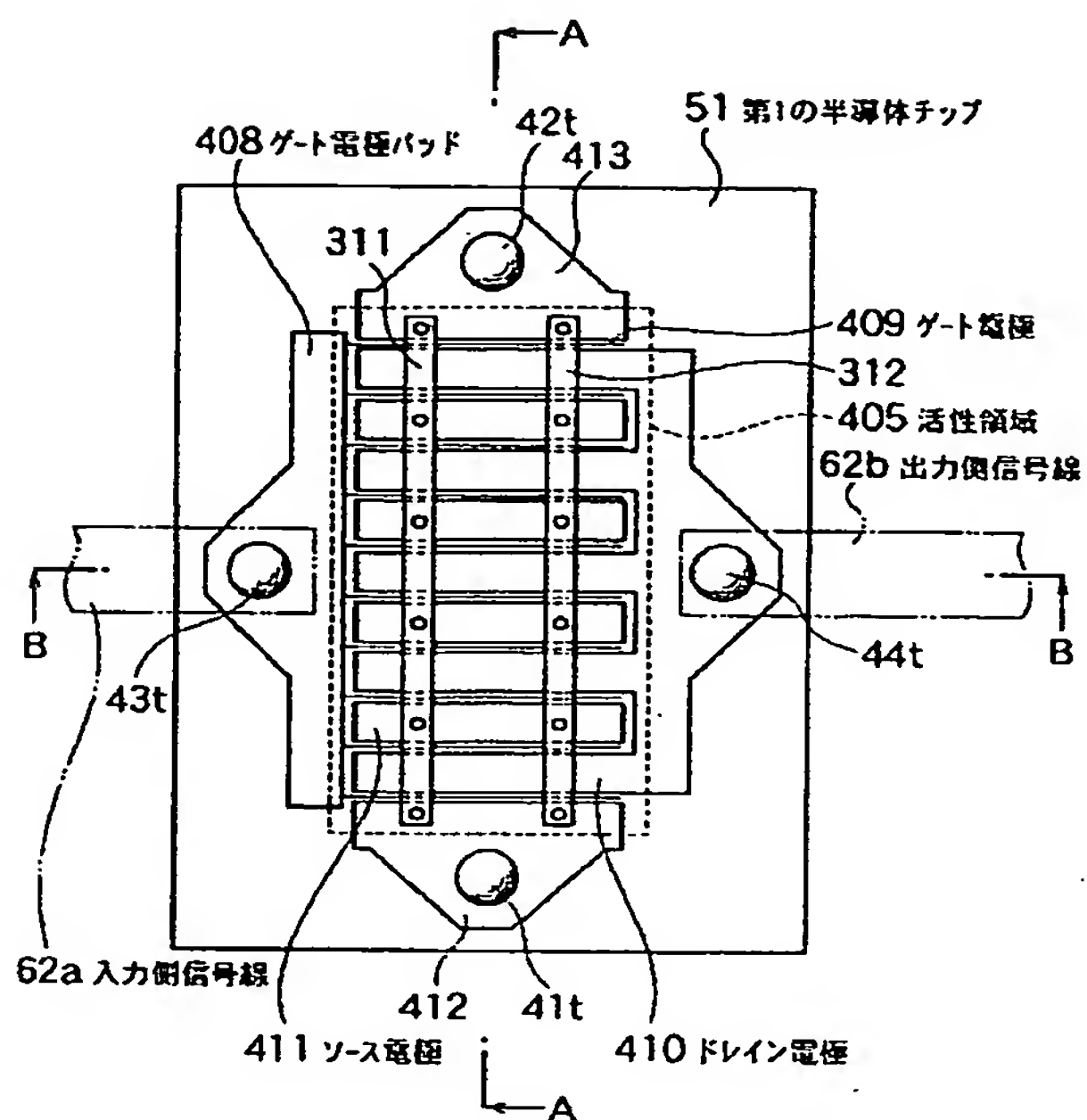
4 t, 4 b 放熱板



11 t, 12 t, 13 t, 14 t, 511 a, 512 a, 511 b, 512 b, 513 a, 514 a, 513 b, 514 b バイアホール  
 13 a チップ側入力配線  
 13 b チップ側出力配線  
 15, 16, 81 t, 82 t, 83 t, 84 t, 81 b, 82 b, 83 b, 84 b バンプパッド  
 21 半導体基板 (半導体ウエハ)  
 22 バッファ層  
 23 チャネル層  
 24 スペーサ層  
 25 電子供給層  
 26 ショットキーコンタクト層  
 27 オーミックコンタクト層  
 28 酸化膜 (SiO<sub>2</sub> 膜)  
 31, 32, 33 t, 33 b, 34 t, 34 b, 35 t, 35 b, 36 t, 36 b, 131~136, 137 t, 138 t, 139 t, 139 t, 140 t, 137 b, 138 b, 139 b, 139 b, 140 b スルーホール  
 41 t, 42 t, 43 t, 44 t, 41 b, 42 b, 43 b, 44 b, 141~146, 147 t, 148 t, 149, 150 t, 147 b, 148 b, 149, 150 b, 541 a, 542 a, 541 b, 542 b, 543 a, 544 a, 543 b, 544 b バンプ  
 51, 53, 55, 551 第1の半導体チップ  
 52, 54, 56, 552 第2の半導体チップ  
 553 第3の半導体チップ  
 554 第4の半導体チップ  
 61 a 第1入力側グランドプレート  
 61 b 第1出力側グランドプレート  
 62 a, 65 a 入力側信号配線  
 62 b, 65 b 出力側信号配線  
 63 a 第2入力側グランドプレート  
 63 b 第2出力側グランドプレート  
 64 a 入力側グランドプレート  
 64 b 出力側グランドプレート

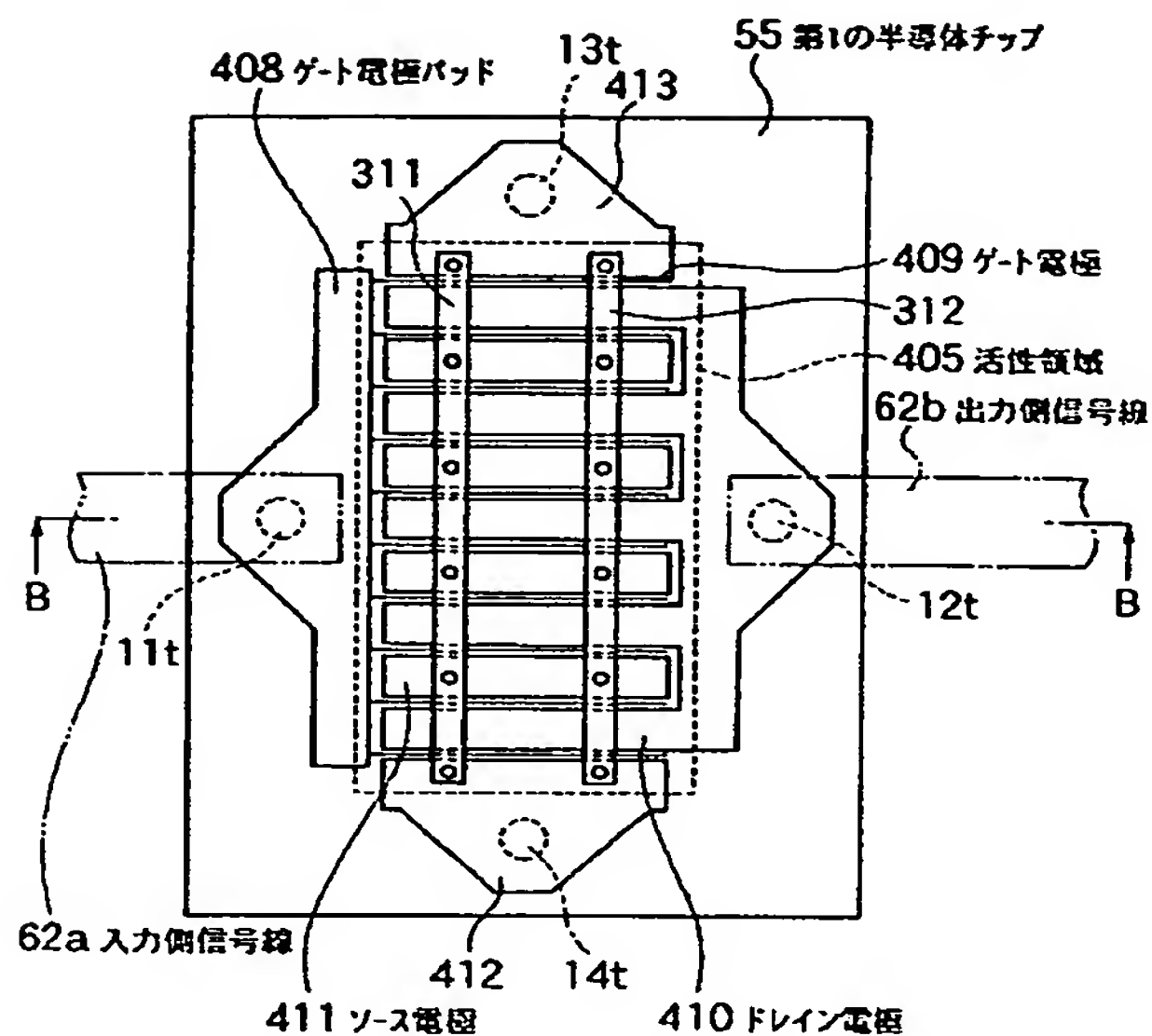
65 a 入力側信号配線  
 65 b 出力側信号配線  
 66 a 第1入力側グランドプレート  
 66 b 第1出力側グランドプレート  
 67 a 第2入力側グランドプレート  
 67 b 第2出力側グランドプレート  
 71, 72, 73, 73 t, 73 b, 74, 74 t, 74 b, 75 t, 75 b, 76 t, 76 b スルーホール  
 内壁メタル  
 10 91 t, 92 t, 91 b, 92 b, 591 a, 592 a, 591 b, 592 b, 593 a, 594 a, 593 b, 594 b バイア内壁メタル  
 93 t, 94 t, 93 b, 94 b, 581 a, 582 a, 581 b, 582 b, 581 c, 582 c, 583 b, 584 b, 583 c, 584 c チップ裏面バンプパッド  
 101 IFチップ  
 102 ミキサチップ  
 103 バッファチップ  
 20 104 t 第1の初段中出力電力増幅器チップ  
 104 b 第2の初段中出力電力増幅器チップ  
 105 t 第1の最終段高出力電力増幅器チップ  
 105 b 第2の最終段高出力電力増幅器チップ  
 311, 312, 313, 314, 311 a, 312 a, 313 a, 314 a, 311 b, 312 b, 313 b, 314 b エアブリッジ  
 405, 406 活性領域  
 408, 428, 408 a, 428 a, 408 b, 428 b ゲート電極パッド  
 30 409 ゲート電極 (ゲートフィンガー部)  
 410, 430, 410 a, 430 a, 410 b, 430 b ドレイン電極  
 411, 431 ソース電極  
 412, 413, 432, 433 ソース電極パッド  
 448, 449 ゲート電極集合配線  
 701 t, 701 b, 702 t, 702 b 封止用樹脂

【図1】



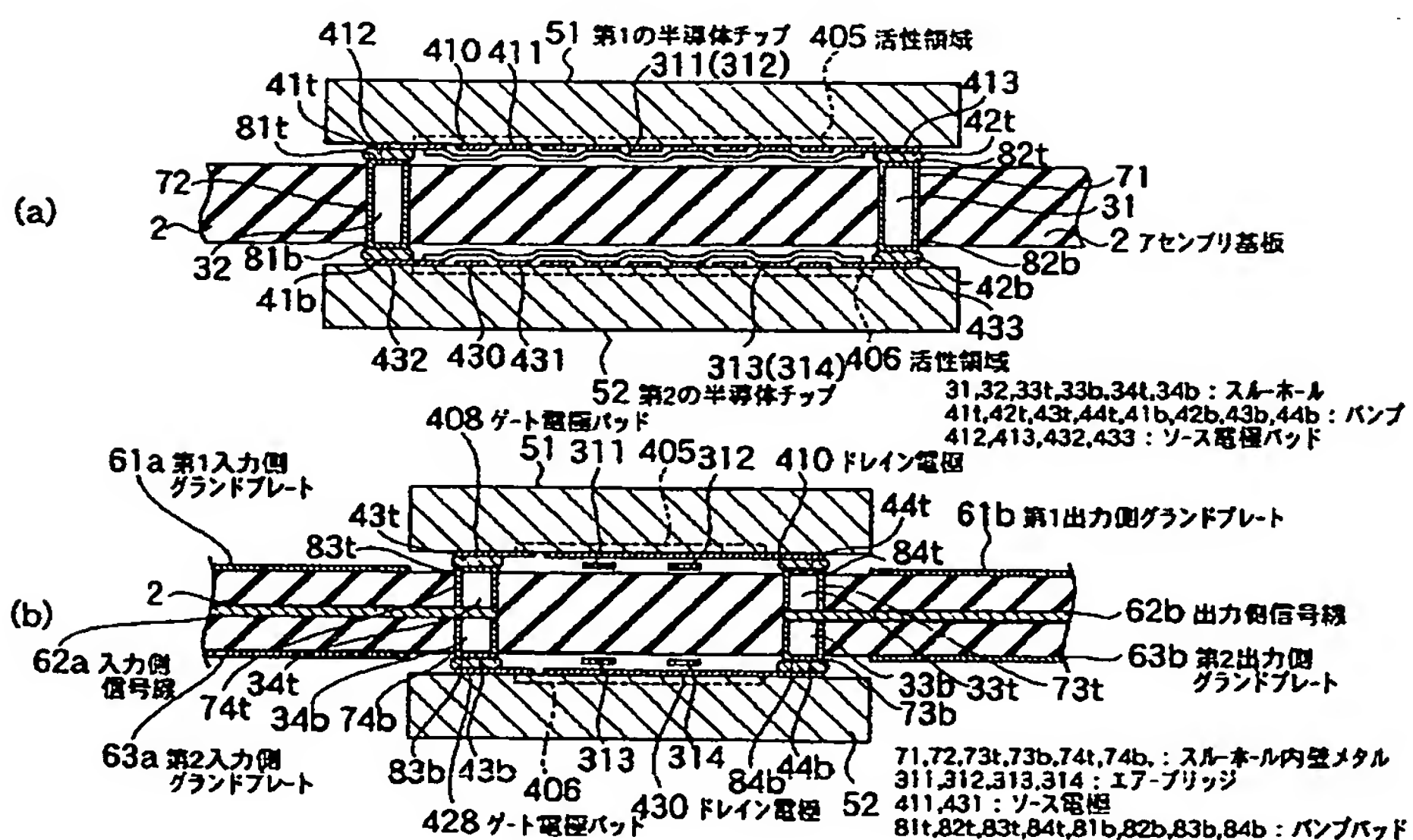
311, 312 : エアブリッジ  
 41t, 42t, 43t, 44t : パンプ  
 412, 413 : ソース電極パッド

【図12】



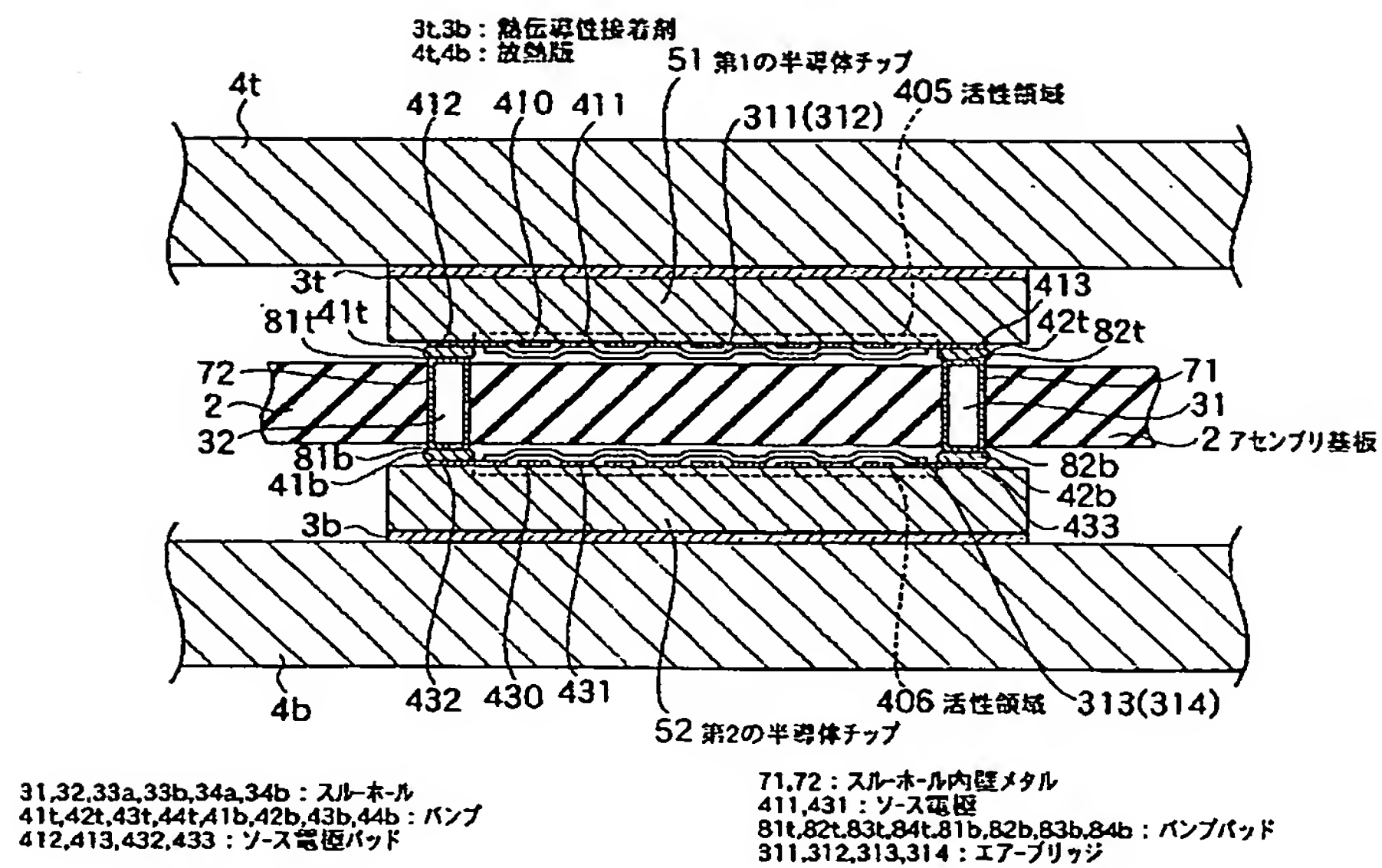
311, 312 : エアブリッジ  
 11t, 12t, 13t, 14t : パイアホール  
 412, 413 : ソース電極パッド

【図2】

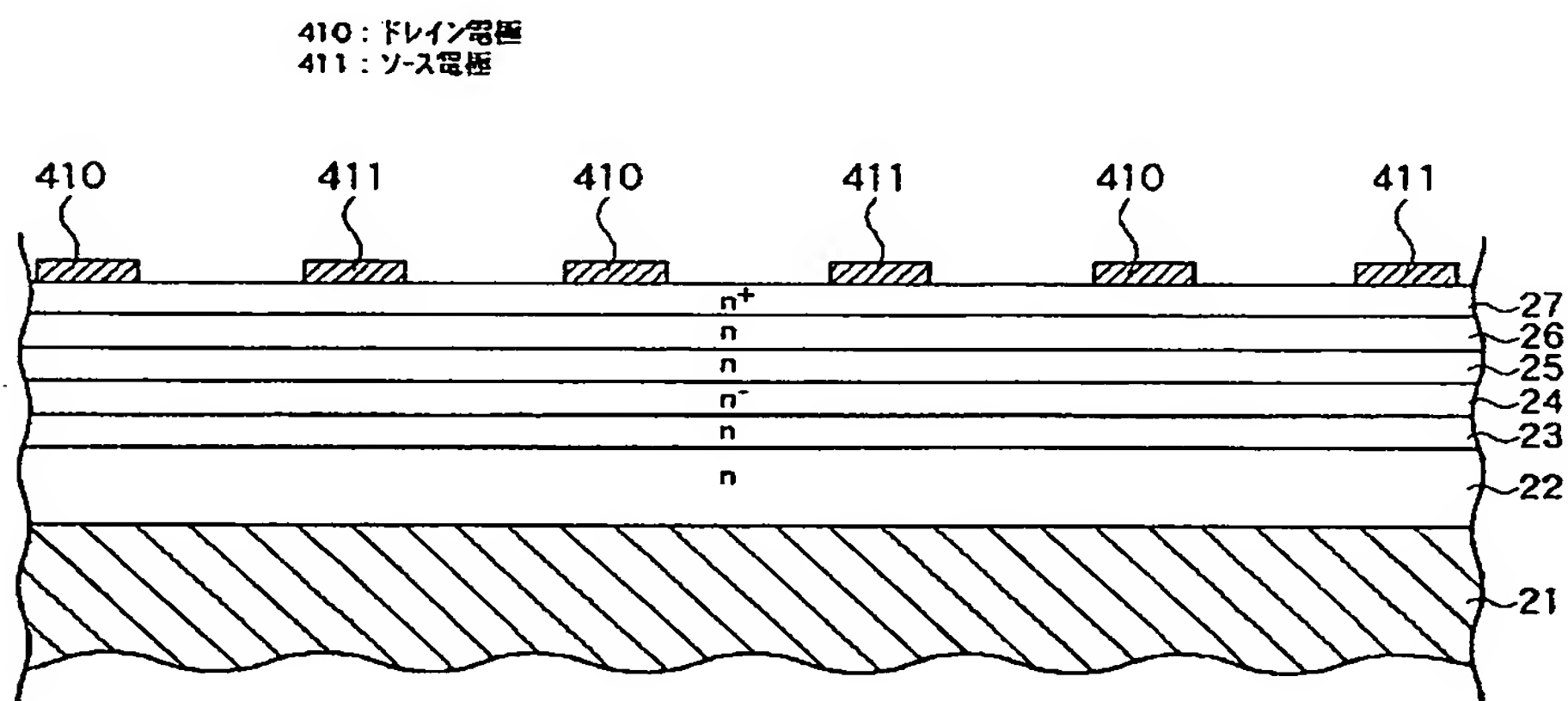




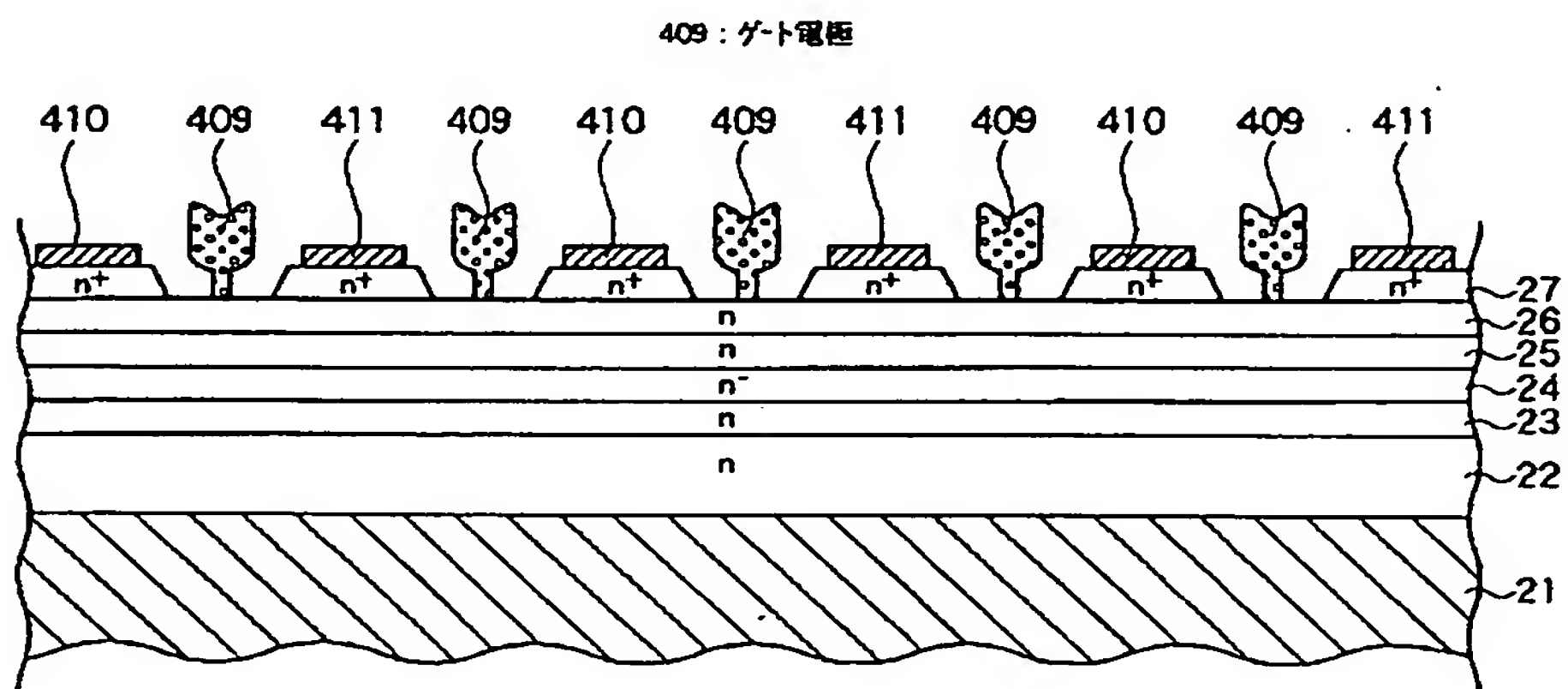
【図3】



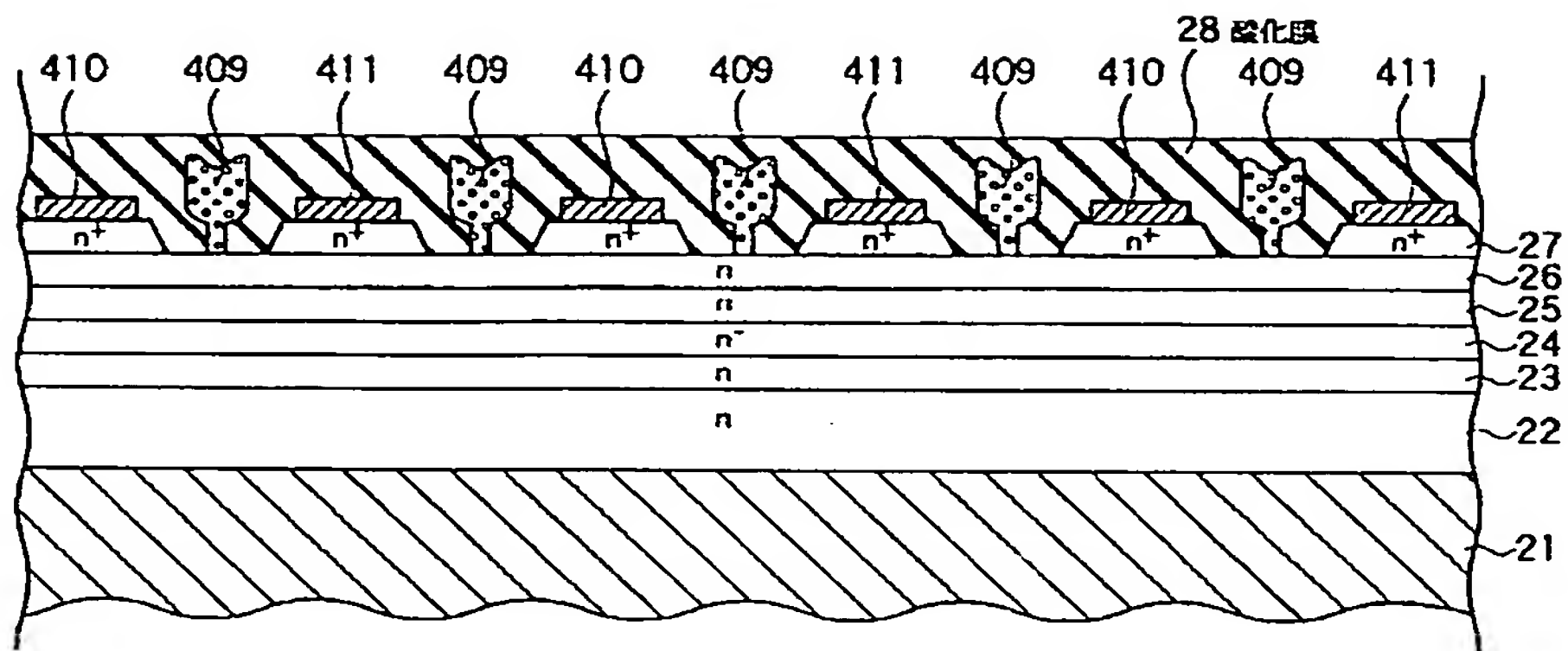
【図4】



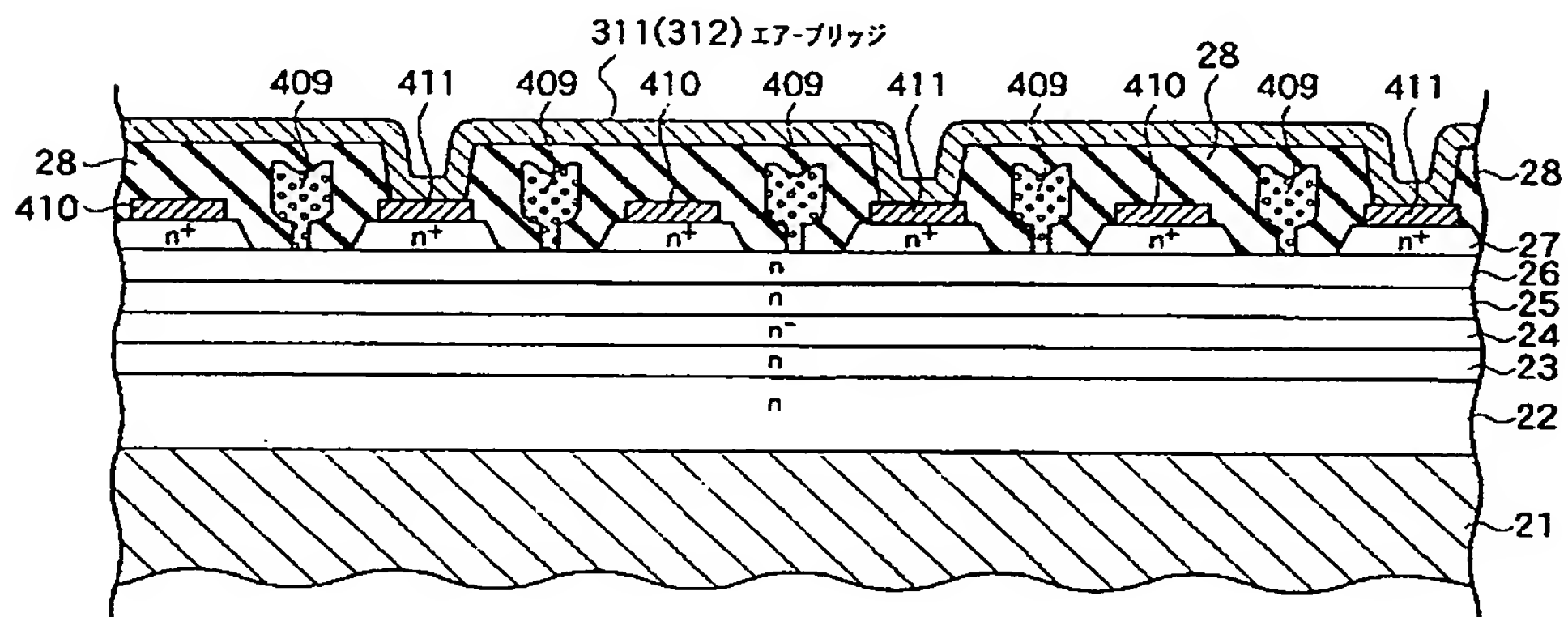
【図5】



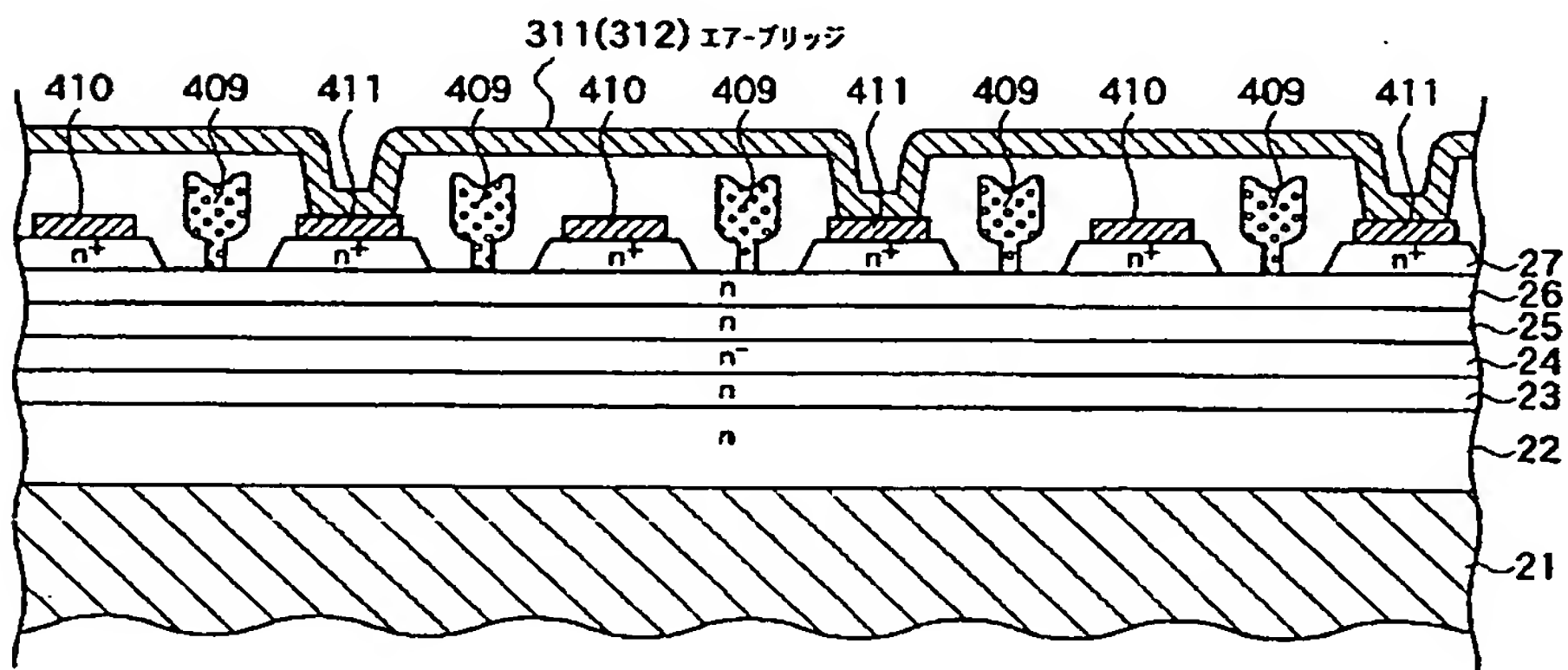
【図6】



【図7】

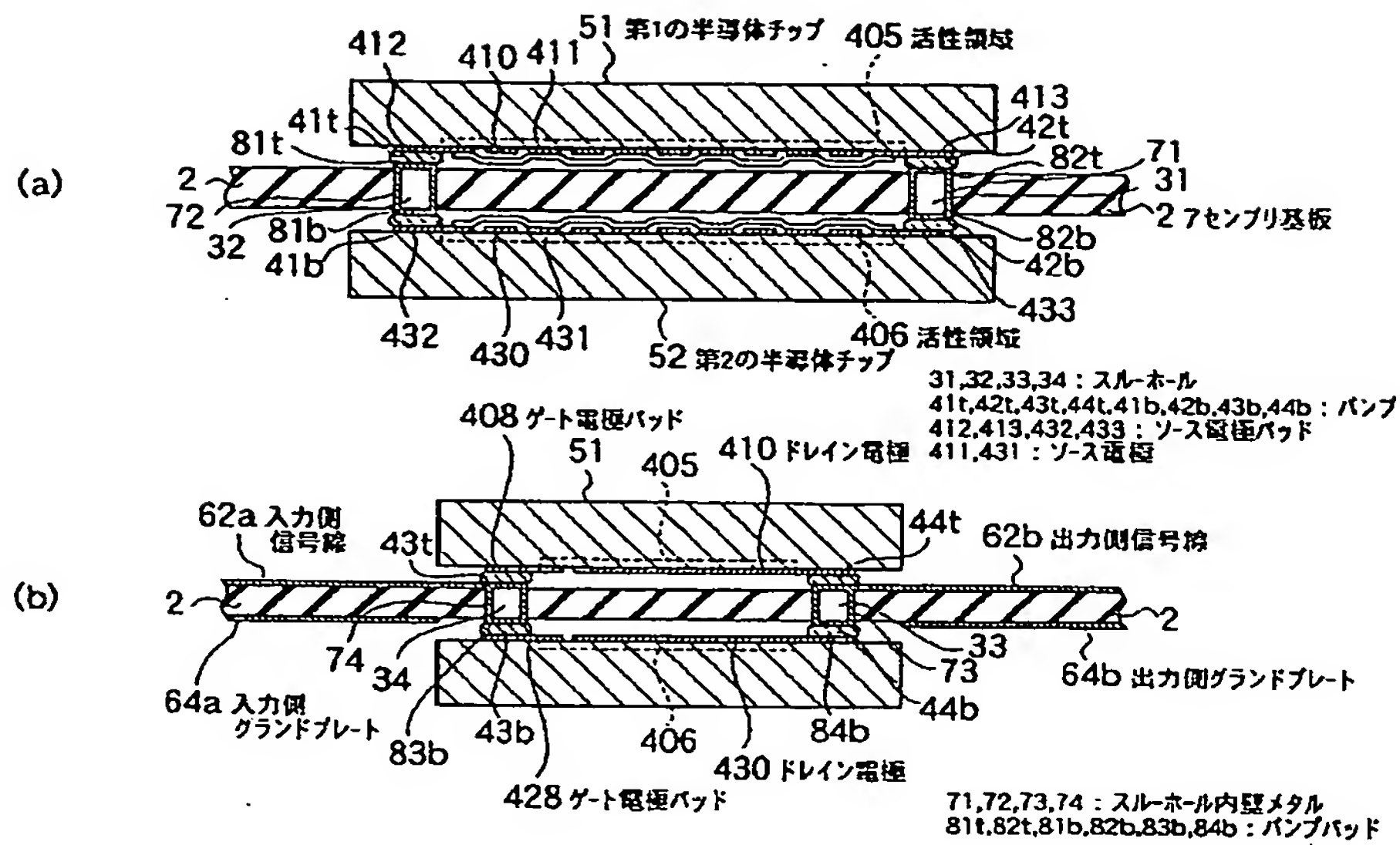


【図8】

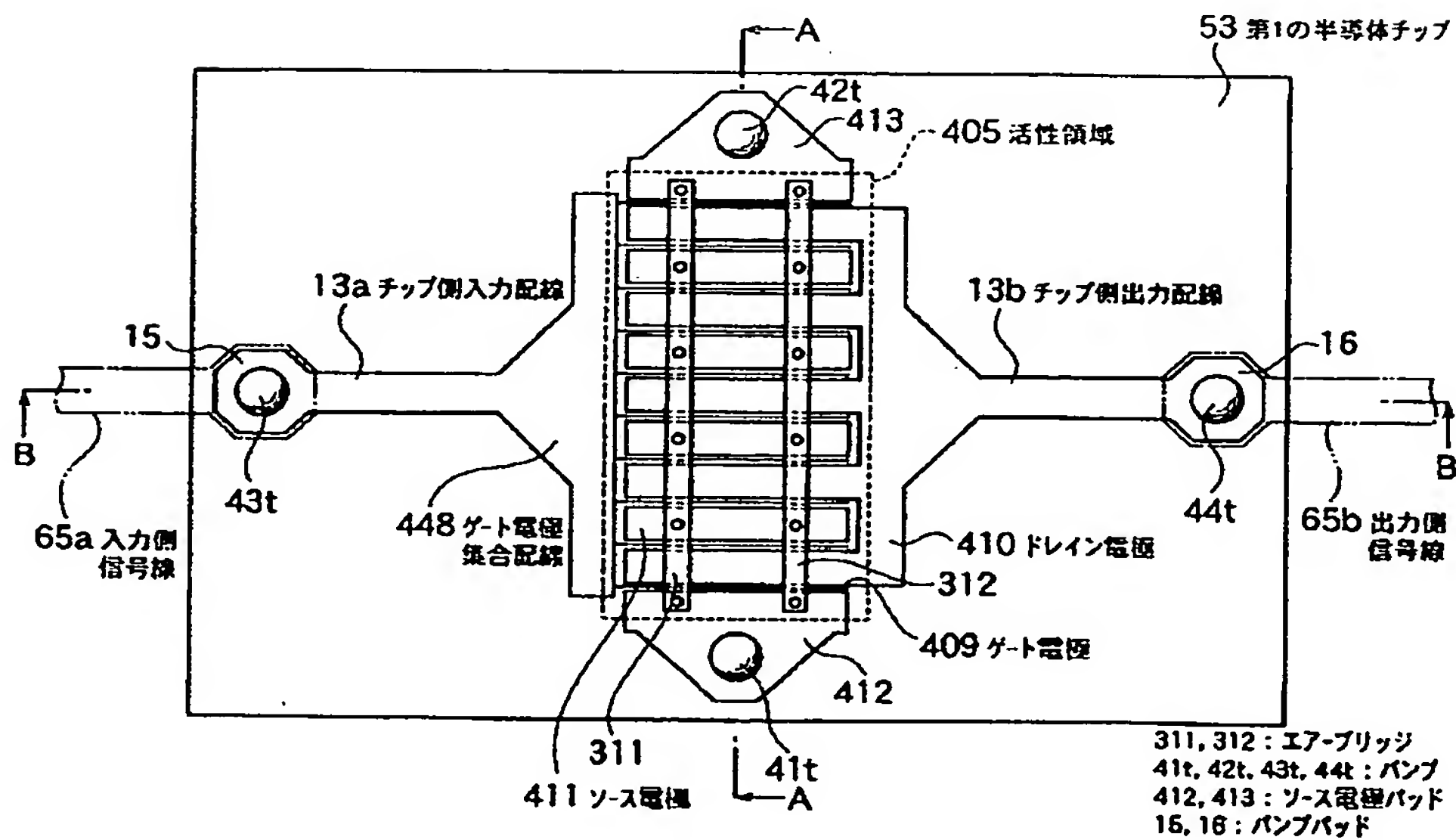




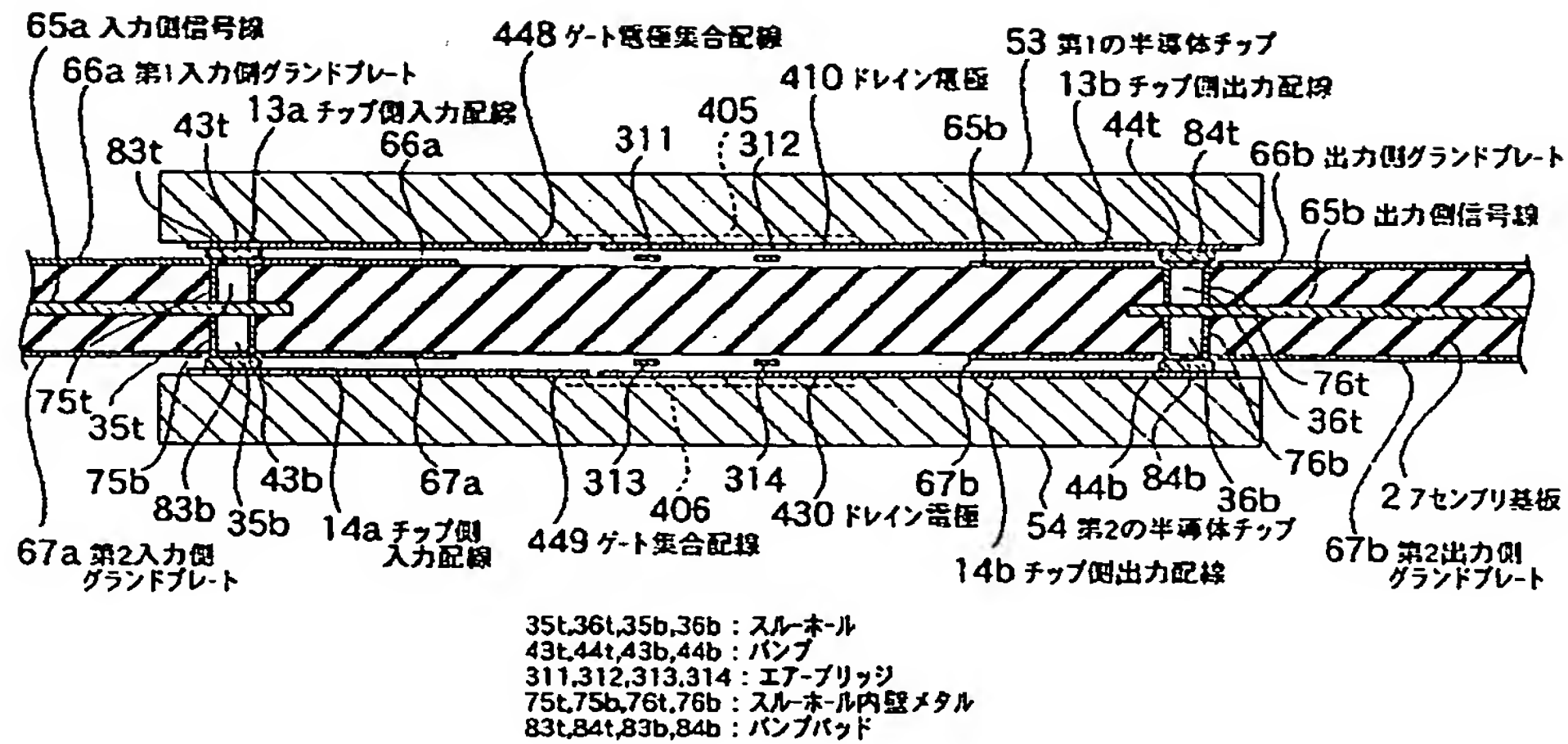
【図9】



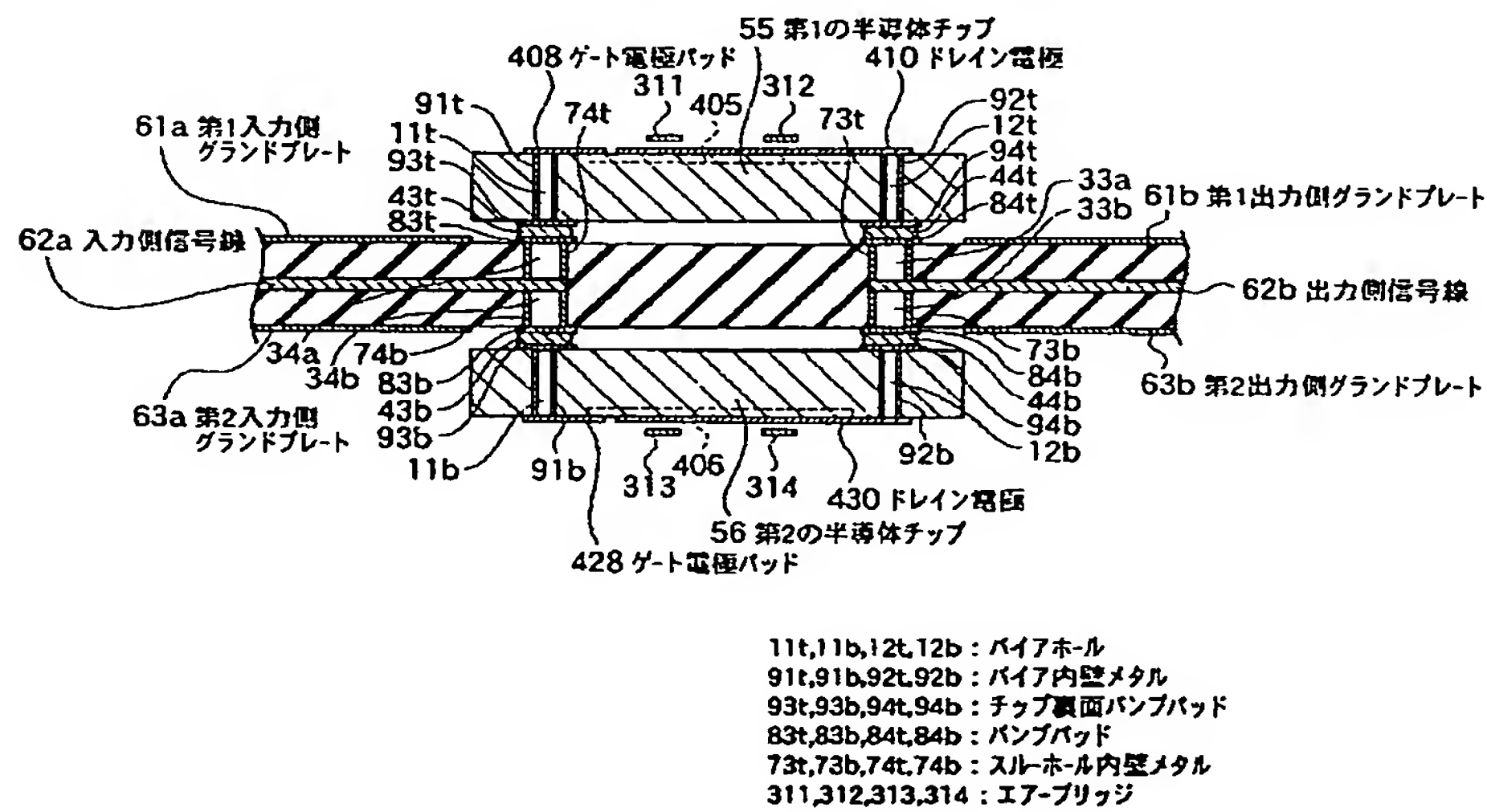
【図10】



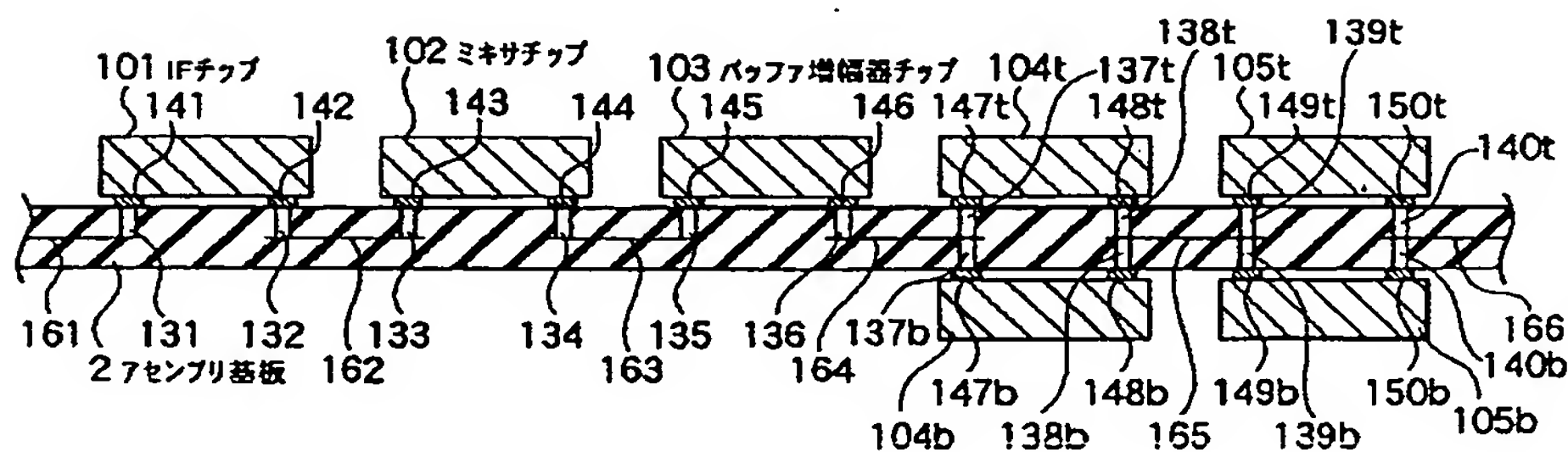
【図11】



【図13】



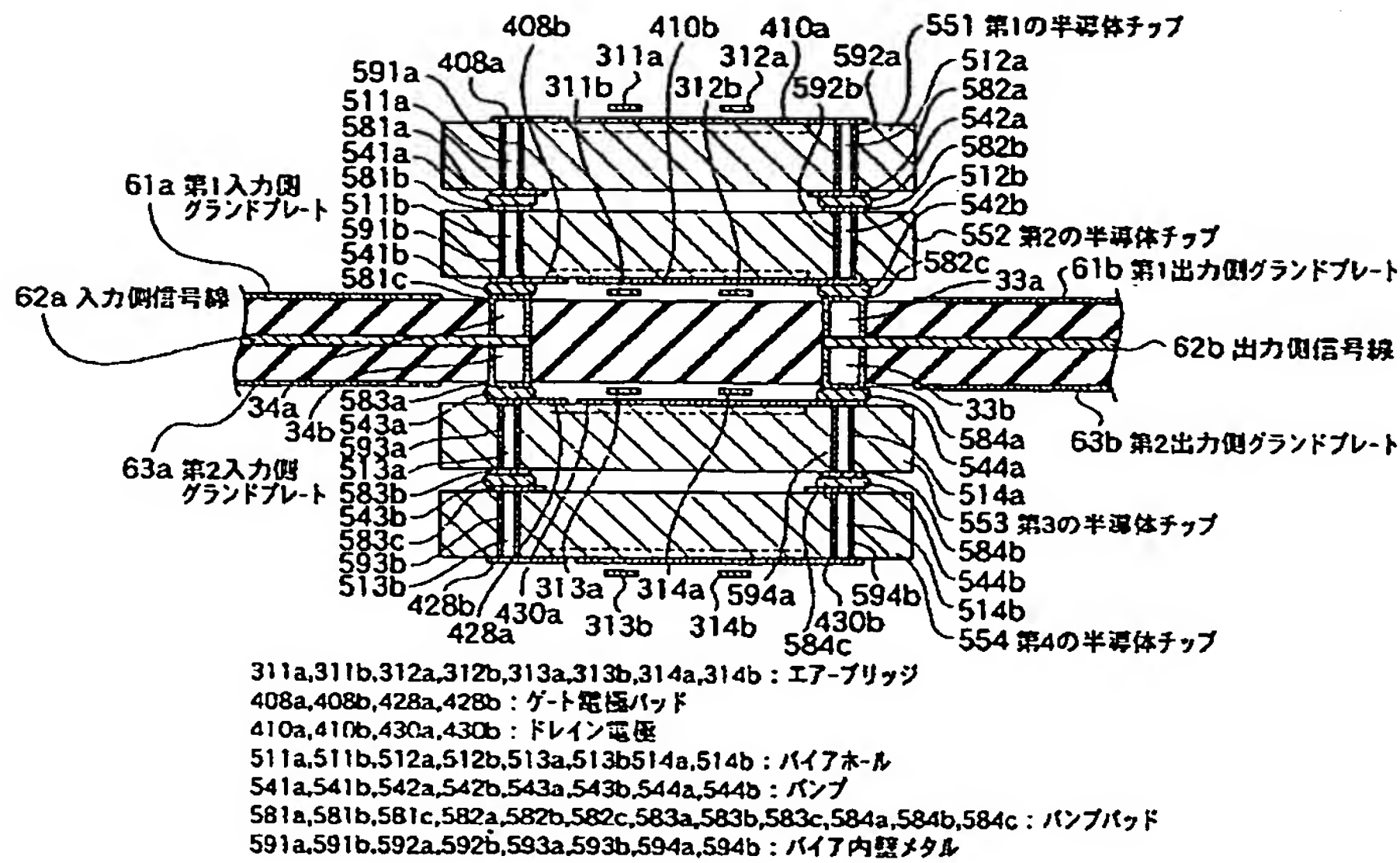
【図15】



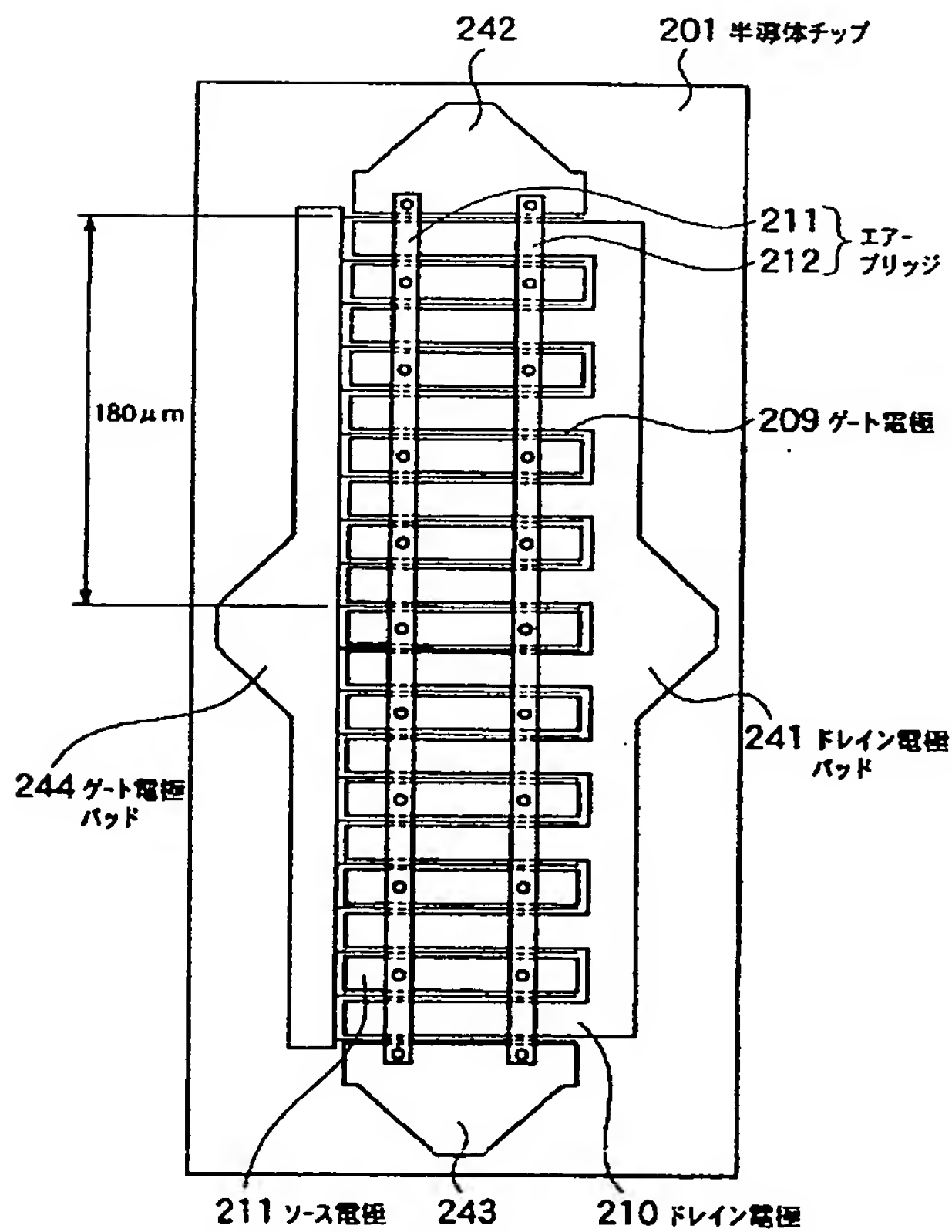
104t, 104b: 初段中出力電力増幅器チップ  
 105t, 105b: 最終段高出力電力増幅器チップ  
 141, 142, 143, 144, 145, 146, 147t, 147b, 148t, 148b, 149t, 149b, 150t, 150b: パンプ  
 131, 132, 133, 134, 135, 136, 137t, 137b, 138t, 138b, 139t, 139b, 140t, 140b: スルーホール  
 161, 162, 163, 164, 165, 166: 信号線



【図14】

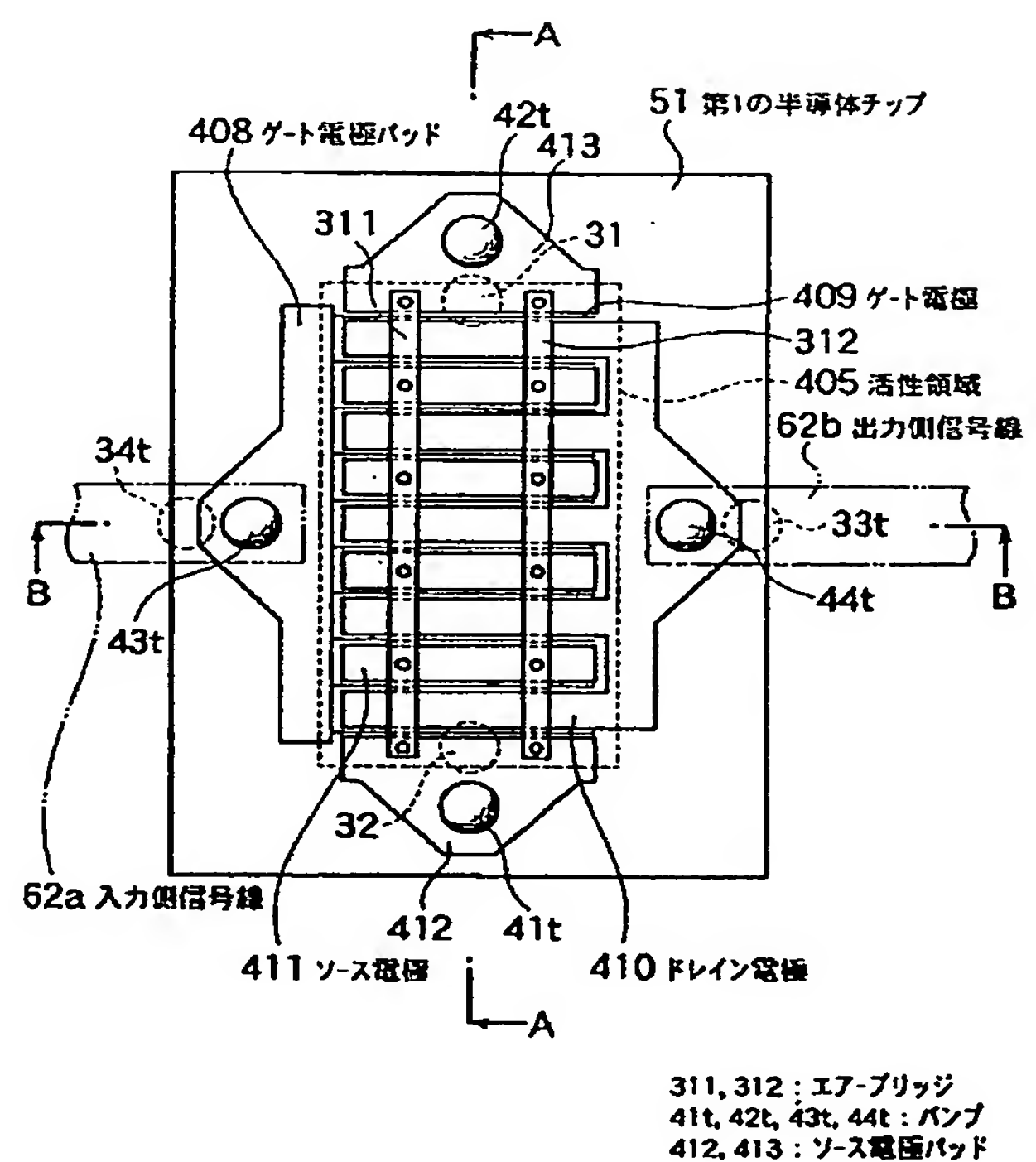


【図16】

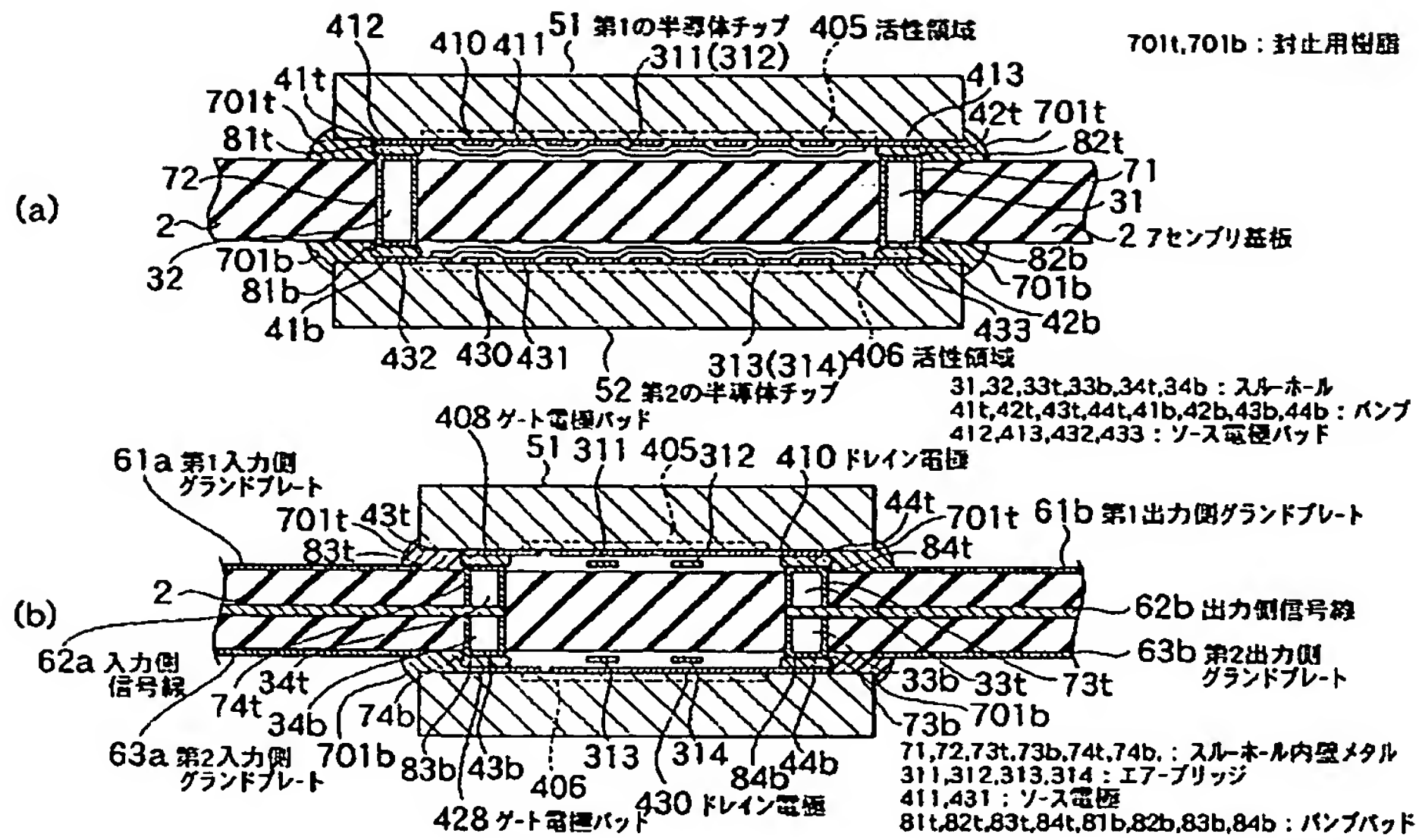


242, 243: ソース電極パッド

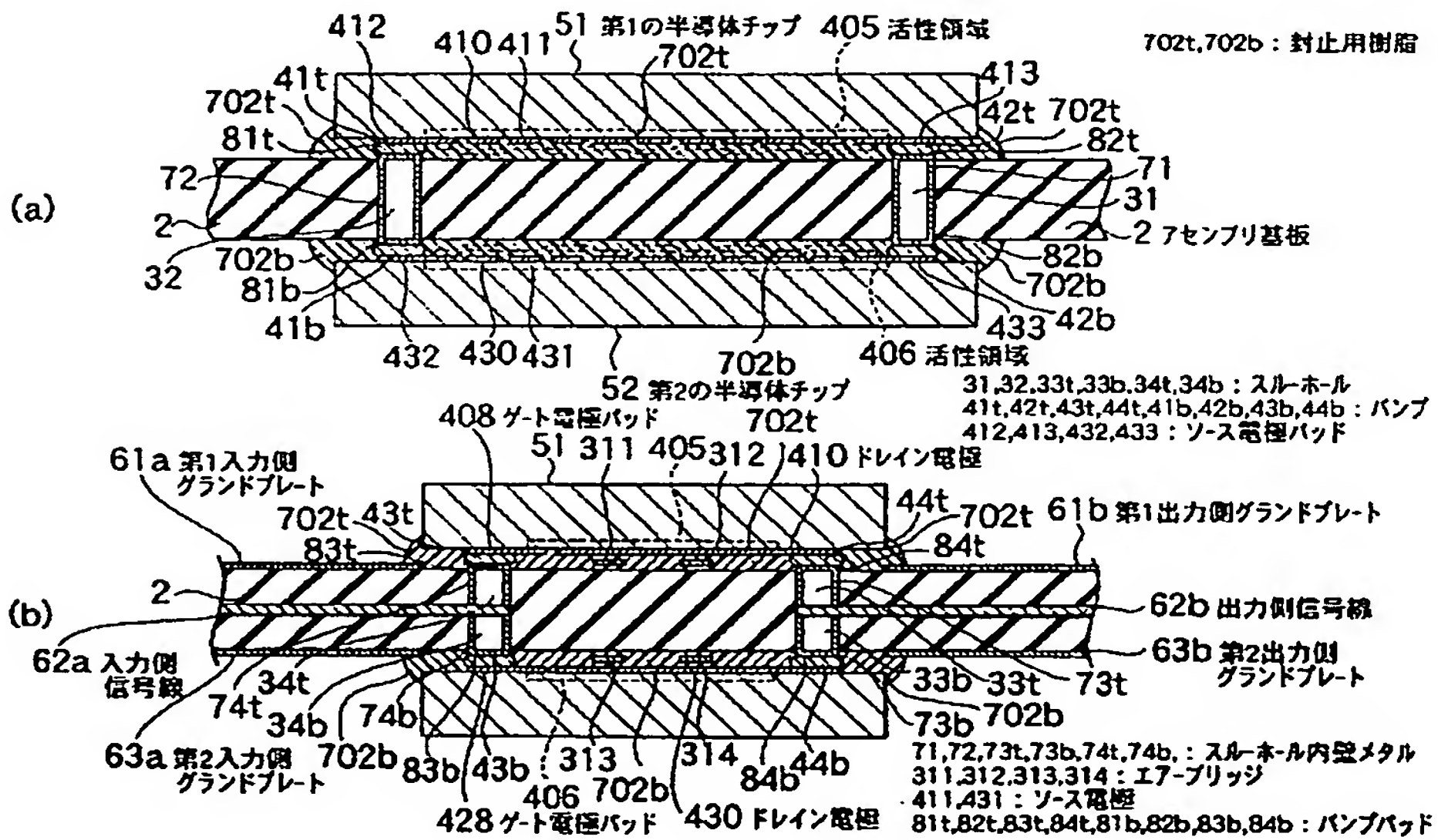
【図19】



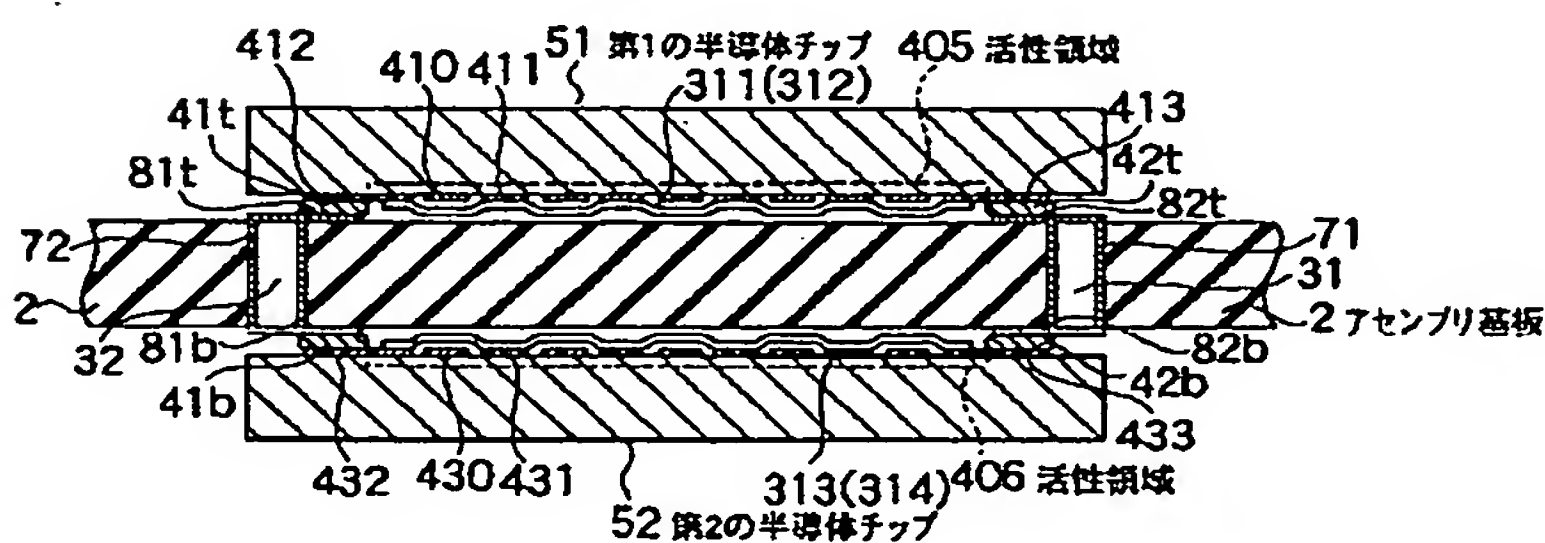
【図17】



【図18】



【図22】



31, 32, 33t, 33b, 34t, 34b: スルーホール  
 41t, 42t, 43t, 44t, 41b, 42b, 43b, 44b: パンプ  
 412, 413, 432, 433: ソース電極パッド



(a) 第1の半導体チップ 405 活性領域 311(312) 412 410 411 51 41t 81t 72 2 32 81b 41b 432 430 431 313(314) 406 活性領域 41t, 42t, 43t, 44t, 41b, 42b, 43b, 44b : パンプ 412, 413, 432, 433 : ソース電極パッド 52 第2の半導体チップ 408 ゲート電極パッド 31, 32, 33t, 33b, 34t, 34b : スルーホール 41t, 42t, 43t, 44t, 41b, 42b, 43b, 44b : パンプ 412, 413, 432, 433 : ソース電極パッド

(b) 61a 第1入力側 グランドプレート 43t 83t 44t 61b 第1出力側 グランドプレート 44t 84t 62b 出力側信号線 63b 第2出力側 グランドプレート 33b 33t 73t 73b 62a 入力側 信号線 34t 74t 34b 74b 63a 第2入力側 グランドプレート 83b 43b 313 314 44b 406 430 フレイン電極 52 428 ゲート電極パッド 71, 72, 73t, 73b, 74t, 74b : スルーホール内壁メタル 311, 312, 313, 314 : エアブリッジ 411, 431 : ソース電極 81t, 82t, 83t, 84t, 81b, 82b, 83b, 84b : パンプパッド

Fig. 1 is a plan view of a semiconductor device. The device is a rectangular chip 51. It features a central array of horizontal gates 409 and vertical gates 411. Source regions 412 are at the top and bottom, and drain regions 410 are on the left and right. Input/output signal lines 62a and 62b are connected to the source regions. Various gates (31, 32, 33, 34) and gates with terminals (41t, 42t, 43t, 44t) are shown. A dashed box 405 indicates an active region. Section lines A-A and B-B are indicated.

311, 312: エアブリッジ  
 41t, 42t, 43t, 44t: パンプ  
 412, 413: ソース電極パッド

### テ-マコード (参考)

(72) 発明者 井関 裕二

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

F ターム (参考) 5F038 BE07 CA10 DF01 DF02 EZ01  
EZ02 EZ20  
5F102 FA00 GA00 GC01 GD01 GJ05  
GQ01 GS02 GS09 GT03 GV01  
GV03 HC01

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**